

# Modern áramköri megfontolások 3G integrált áramkörök tervezéshez

SZENTE-VARGA DOMONKOS, BOGNÁR GYÖRGY

Budapesti Műszaki és Gazdaságtudományi Egyetem, Elektronikus Eszközök Tanszék  
{szvdom, bognar}@eet.bme.hu

Lektorált

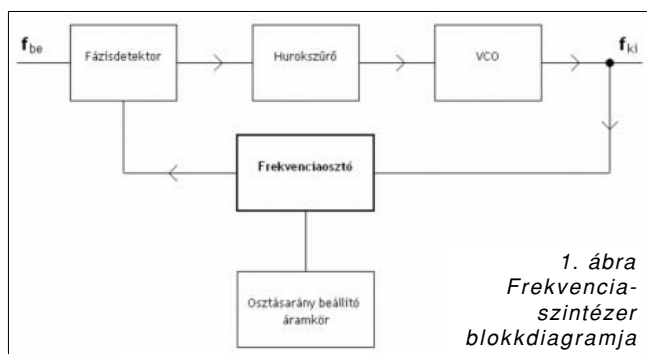
**Kulcsszavak:** integrált áramkörök, CMOS technológia, frekvenciaosztó, 3G mobilkészülék

A cikkben egy 3 GHz-en működő frekvenciaosztó integrált áramkör tervezésekor figyelembe vett áramköri megfontolások kerülnek bemutatásra. Az integrált áramkört 0.35  $\mu\text{m}$  CMOS technológiára terveztük, mert a legmodernebb gyártástechnológiákkal (90 nm, 65 nm...) összehasonlítva gazdasági szempontok alapján így olcsóbb eszközök valósíthatók meg. Azonban a nagy csíkszélesség miatt a magas frekvencián való működés megvalósítása számos akadályt állított az utunkba, melyek elhárításához speciális tervezési módszerekre volt szükség.

## 1. Bevezetés

A frekvenciaosztó áramkörökre a frekvencia-szintézer áramkörökben van szükség. A frekvencia-szintézer felelős a rádiós (vezeték nélküli) kommunikációs eszközök vivőfrekvenciájának előállításáért. Ezeket az áramköröket ma már úgy készítik el, hogy a kimeneti frekvencia több, egymáshoz közeli, előre meghatározott frekvencia érték között változtatható legyen abban az esetben, ha az éppen használt frekvencián az átvitel a környezetből származó esetleges zavarforrások, más adó készülékek működése miatt az átvitel nem valósítható meg. Ilyen esetekben a frekvencia-szintézer vivő-frekvenciát vált. Az átváltásnak gyorsnak és pontosnak kell lennie, mely a folyamatos kommunikációt nem zavarhatja meg.

Ezeket az úgynevezett frekvenciaugrásokat változtatható osztásarányú frekvenciaosztó áramkörökkel valósítják meg, melyek egy fix nagyfrekvenciájú bemeneti jelet osztanak le egy meghatározott intervallumon belül változtatható egész számmal. A frekvenciaosztó kimeneti jelét egy fázisdetektorba vezetik, mely egy hurokszűrőn keresztül egy feszültségvezérelt oszcillátor bemenő jelét szolgálja. Az oszcillátor kimeneti frekvenciája lesz a tényleges vivőfrekvencia is, amit visszacsatolunk a frekvenciaosztó bemenetére. A frekvenciaosztó osztásarányát a vezérlő határozza meg. A teljes frekvencia-szintézer, mint fáziszárt hurok blokkdiagramját az 1. ábra mutatja.



1. ábra  
Frekvencia-  
szintézer  
blokkdiagramja

A jelen munkában tervezett és megvalósított frekvenciaosztó áramkör vezeték nélküli hálózati adóáramkörökben (WLAN IEEE 802.11b, 802.11g), BlueTooth és ZygBee eszközökben, illetve harmadik generációs mobil adó készülékekben kerülhet majd felhasználásra, ahol a vivőfrekvencia a 2.3-2.7GHz tartományba esik. Az osztót maximálisan 3GHz-es bemenő frekvenciára terveztük törekedve arra, hogy a felhasználási tartományban megfelelő biztonsággal működjön.

A feladat egy 64 és 71 között változtatható osztásarányú dolgozó osztó áramkör megvalósítása volt.

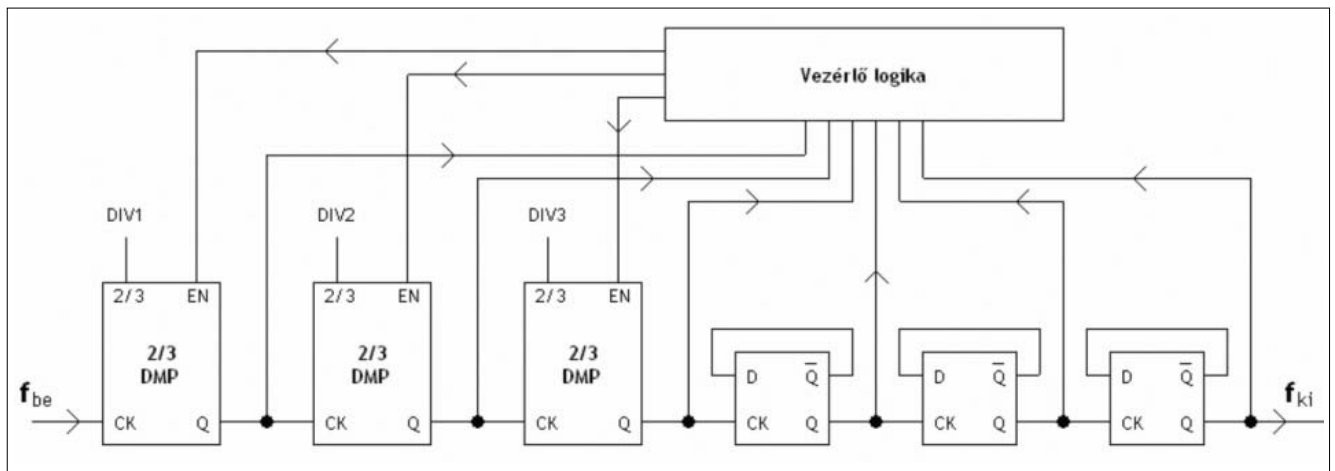
Az osztó áramkört 0.35  $\mu\text{m}$  CMOS technológián valósítottuk meg. Mivel az energiafogyasztás a mobil készülékes alkalmazás miatt itt hatványozottan fontos szerepet kap, fontos, hogy minél kisebb tápfeszültségen tudjon üzemelni az áramkör. A specifikáció szerint 1.8V működési tápfeszültségre terveztük.

## 2. DMP

A frekvenciaosztó áramkörök egy jól bevált megvalósítása a frekvenciaosztó blokkokból való összeállítás. Az ehhez használt építőelem a Dual Modulus Prescaler (DMP), mely egy úgynevezett két érték között állítható osztásarányú blokk. Az ilyen blokkok egymás mögé kötésével és megfelelő vezérlésével változtatható osztásarányú frekvenciaosztó áramkör építhető. Az osztásarány változtathatóságának intervalluma a felépítéstől függ. Minden ciklus alatt a kimeneten egy felfutó és egy lefutó él jelenik meg, de míg kettővel osztás esetén ez két bemeneti órajel alatt, hárommal osztás esetén három bemeneti órajel alatt megy csak végbe.

A DMP blokkokat sorba kapcsolva, és az egyes blokkokat megfelelően vezérelve (mikor és melyik működjön kettes vagy hármas osztásarányú) a kívánt frekvenciaosztó áramkör megvalósítható.

A feladatban szereplő 64-től 71-ig állítható osztásarányú, DMP blokkokból megépített osztó blokkvázlatát mutatja (a következő oldalon) a 2. ábra.



2. ábra DMP blokkokból felépített 64-71 frekvenciaosztó blokkvázlata

A teljes áramkör tulajdonképpen a pulzuselnyelés módszerét alkalmazza. 64-el osztás esetén mindhárom DMP fokozat stabilan kettővel osztóként működik, majd a lánc végén szereplő három darab kettes osztót is figyelembe véve a kimenő jel frekvenciája éppen 1/64-e-de lesz a bemenő jelének. Ha azonban a legelső bemeneti fokozatot egy teljes periódusa alatt 3-mal osztóként üzemeltetjük, majd a maradék hatvanhárom periódusban kettővel osztóként, olyan hatást érünk el, mint ha a bejövő órajelből egy bejövő periódust (pulzust) figyelmen kívül hagyunk volna, avagy elnyeltük volna, a kimeneten megjelenő jel periódusideje  $64+1=65$ -szöröse lesz a bemeneti órajelének. Ezért is hívják pulzuselnyelésnek ezt a módszert.

Hogy mikor melyik osztó melyik üzemmódban működjön, az függ egyrészt az elérni kívánt osztásaránytól, és függ az időzítéstől is, ennek összehangolását kell a vezérlő logikának megoldania. A fő problémát az jelenti, hogy az egymás után kapcsolt osztó fokozatok aszinkron módon működnek, ezért az egyes DMP blokkok vezérlésekor figyelembe kell venni azt is, hogy a blokkok időben elcsúszva dolgoznak, az első fokozat „előrébb jár”, az utolsó pedig „le van maradva”. Ez a probléma a frekvencia növelésével csak fokozódik.

A kapcsolat másik nagy hátránya, hogy mind az első DMP fokozatnak (a maga flip-flopjaival, három bemenetű kapuival), mind pedig az egész vezérlő logikának (amit menet közben átalakítottunk olyanná, hogy a fokozatok közötti, késleltetésből eredő időeltolódást is képes legyen követni) lépést kell tartania a bejövő órajellel. Fontos tehát, hogy az áramkör jelentős része nagyfrekvencián dolgozik, ami nemcsak energiafogyasztási szempontból előnytelen, de a tervezés szempontjából is jelentősen megnehezíti a feladatot.

### 3. Egy új módszer

Jelen feladatban egy teljesen új módszert dolgoztunk ki az előírt frekvenciaosztási feladat megvalósítására. Az általunk megvalósított osztó szakít az eddigi architektúrával, és ennek köszönhetően a DMP blokkokból

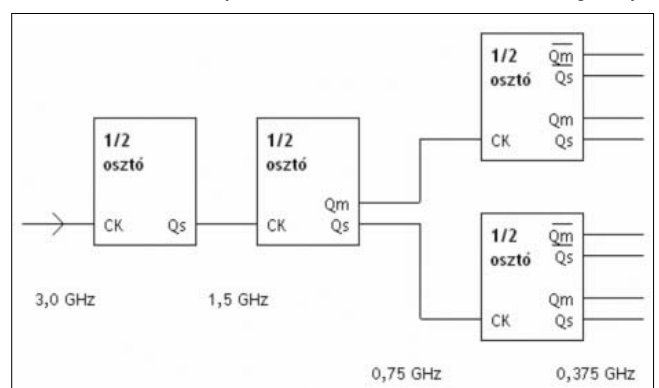
megvalósított korábbi elrendezés gyenge pontjait is kiküszöböli. A fejlesztési munka végeredményeképpen egy stabilan működő, korszerűtlenebb technológián is jól megvalósítható, mégis kevesebbet fogyasztó frekvenciaosztó áramkört sikerült tervezni, mely úgy tűnik, kedvező paramétereinek és egyszerűségének köszönhetően kiszoríthatja a korábbi DMP blokkos architektúrát.

A módszer alapjait 2004-ben publikálták először egy egyszerű 4 és 5 között változtatható osztásarányú osztóáramkőrön. Ennek alapötletét felhasználva dolgoztunk ki a specifikációnak megfelelő 64/71-es osztót [1-3].

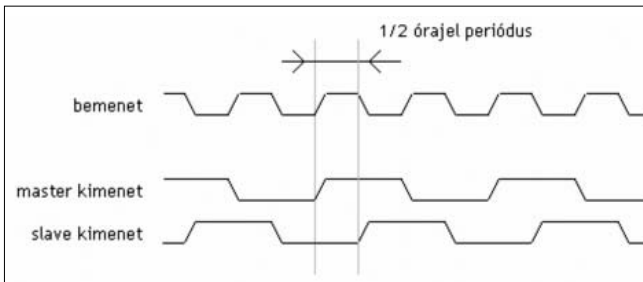
### 4. A fázisváltás

A bejövő nagyfrekvenciás jel először egy nagyon egyszerű felépítésű, statikusan kettővel osztó áramkörbe, gyakorlatilag egy master-slave T flip-flop áramkörbe kerül (3. ábra). A bejövő jel 3 GHz, a T flip-flop kimenetén 1.5 GHz frekvenciájú jel jelenik meg. Ezt a kettővel osztott jelet bevezetjük egy újabb T flip-flopba. A második flip-flop master és slave kimenetét is kivezetjük, és mindkettőre egy-egy újabb T flip-flopot kapcsoltunk. A harmadik fokozat két T flip-flopja a 0.75 GHz bemenő frekvenciát még kettővel osztja, tehát a kimenő jelek az eredeti bemeneti frekvenciához képest nyolccal vannak leosztva, statikusan.

3. ábra  
A nyolc fázisjelet előállító,  
nyolccal osztó áramkör blokkdiagramja



Ha egy master-slave flip-flop működését közelebbről megvizsgáljuk, láthatjuk, hogy a kivezetett master kimenet és slave kimenet közül mindkettőn az eredeti bemenő órajel frekvenciájának fele jelenik meg, de mivel az egyik fokozat a felfutó órajel élére vált, míg a másik a lefutóra, a két jel között éppen 90° fázistolás lép fel (4. ábra). Ez azt jelenti, hogy a második kettővel osztó áramkör master és slave kimenetére kapcsolt T flip-flopok bemeneti órajeljei között 90° fázistolás adódik. Vagyis a két utolsó flip-flop időben elcsúsztatva dolgozik.



4. ábra Második fokozat master és slave kimeneti jele

Az utolsó fokozatok ezt a két jelet osztják kettővel. A kettővel osztás miatt a két utolsó fokozat megegyező jelalakú kimenő jelei egymáshoz képest 45° fázistolást mutatnak. A flip-flopokból mind a master, mind a slave ponált és negált jelét is kivezetjük. Azt már tudjuk, hogy a master 90°-ban siet a slave-hez képest, a negált kimenet a ponált kimenet 180°-ban eltoltt megfelelője.

A végeredmény: nyolc darab jel, melyek mindegyike az eredeti nagyfrekvenciás bemeneti jel nyolccal leosztott frekvenciájú megfelelője, azonban fázisban különböző mértékben egymáshoz képest eltolva. A jeleket sorba rendezve kapunk 8 darab, egymást 45° fázistolással követő fázisjelet. A jelek frekvenciája az eredeti órajel frekvenciájának nyolcada (375 MHz), vagy fogalmazhatunk úgy is, hogy nyolc órajel periódus szükséges egy teljes periódus lefutásához. Ez egyben azt is jelenti, hogy a fázisjelek közötti időeltolódás a bemeneti órajel egy periódusának időtartamával egyenlő.

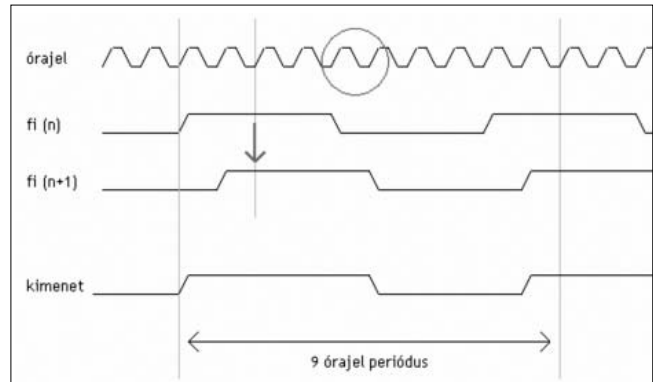
### 5. Változtatható osztásarány

A nyolc fázisjelet egy multiplexerbe vezetjük, mely multiplexer a nyolc jelből mindig egy meghatározott jelet enged csak tovább a kimenetére. Ha a címző biteket nem változtatjuk, a multiplexer folyamatosan ugyanazt a jelet engedi tovább, ez gyakorlatilag egy nyolccal osztó kapcsolást eredményez. Ha azonban a címző biteket úgy vezéreljük, hogy a kiválasztott jel lefutó élének hatására egy periódus alatt a multiplexer a szomszédos, időben késleltetett fázisjelre ugorjon át működés közben, akkor a kimeneten a periódusidő megnyúlik.

Mivel az időeltolás a két fázisjel között éppen egy bemeneti órajel ciklus idejével egyezik meg, nyolc helyett pontosan kilenc órajel hosszúságú periódusidőt kapunk a multiplexer kimenetén. Minden periódusban

egyét léptetve az osztónkat 9-el osztásos üzemmódban működtethetjük (5. ábra).

Ezzel tehát egy 8/9 között változtatható osztásarányú frekvenciaosztót kaptunk.



5. ábra Fázisváltás: osztás kilencel

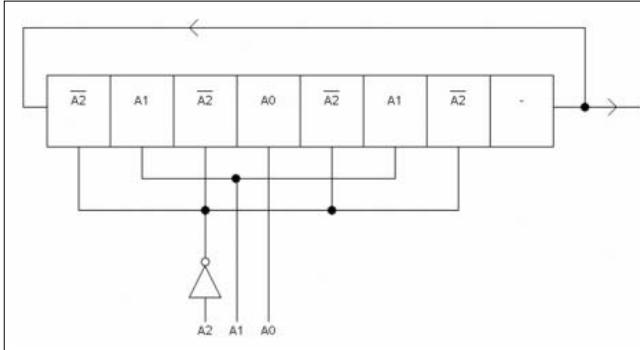
Ezt a 8/9 osztót megfelelő vezérléssel ellátva jutunk el a célként kitűzött 64/71 osztó megvalósításához. A 6. ábra táblázata szerint, ha a vezérelhető osztót folyamatosan nyolccal osztóként használjuk, nyolc periódus lepörgéséhez pontosan 64 bejövő órajel periódusnyi időre van szükség. Ha a nyolc periódusból egynél kilenccel osztóként, a maradék hét esetén újra nyolccal osztóként viselkedik az áramkör, akkor tulajdonképpen egy órajel-periódussal megnyúlik a nyolc teljes periódushoz tartozó idő, és 64 helyett 65 órajel időt tudunk vele megszámolni. Ez lényegében azt jelenti, hogy minden hatvannegyedik órajel után egy órajelet (pulsust) elnyeltünk a bemenetről. Ugyanígy, ha 7 perióduson át kilenccel osztóként, egy periódus erejéig pedig nyolccal osztóként üzemeltetjük az osztót, a nyolc periódushoz 71 órajelre van szükség.

Osztásarány	Vezérlőjelek A2,A1,A0	A shift regiszter logikai tartalma	Kimeneti frekvencia
64	000	00000000	46.875 MHz
65	001	00010000	46.153 MHz
66	010	01000100	45.454 MHz
67	011	01010100	44.776 MHz
68	100	10101010	44.117 MHz
69	101	10111010	43.478 MHz
70	110	11101110	42.857 MHz
71	111	11111110	42.254 MHz

6. ábra Osztásarányok vezérlőjelei és a kimeneti frekvencia értékei

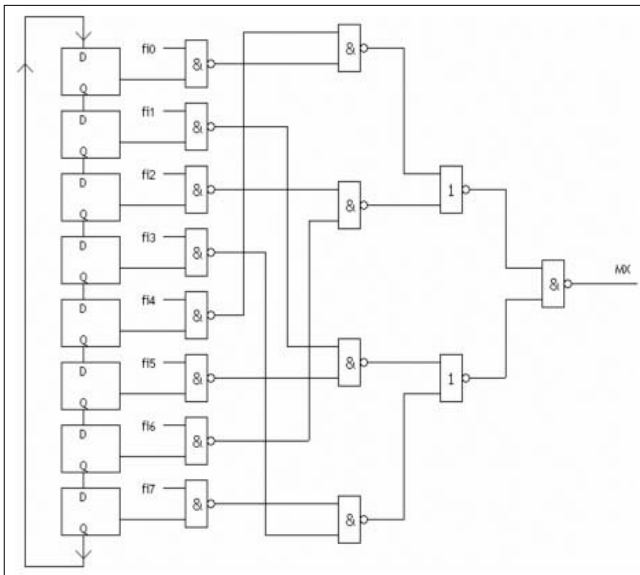
Hogy az áramkört mikor kell nyolccal osztóként működtetni, és mikor kilenccel osztóként, azt a vezérlő-áramkör dönti el. Az áramkör három bemenetén adjuk meg, hogy hányas osztóként akarjuk üzemeltetni a teljes frekvenciaosztót (64-től 71-ig). A három bit egy nyolcbites shift regiszter celláit induláskor feltölti nullákkal és egyesekkel. A nyolc cella közül pontosan annyiban találunk egyeseket, ahány periódus alatt kilenccel osztóként kell működtetni a multiplexeres osztót. Ha a shift regiszter tartalmát az osztó kimenetének felfutó élére léptetjük, a shift regiszteren kicsorduló bitek ép-

pen a multiplexeres osztó következő periódusának működését írják elő: ha egyes bit kerül a shift regiszter kimenetére, akkor a 8/9 osztónak a következő periódusban (lefutó élre) egyet lépnie kell, míg ha nulla érkezik, rajta marad a korábban kiválasztott fázisjelen, és nem lép tovább.



7. ábra Shift-regiszter feltöltése a bemeneti jelekkel

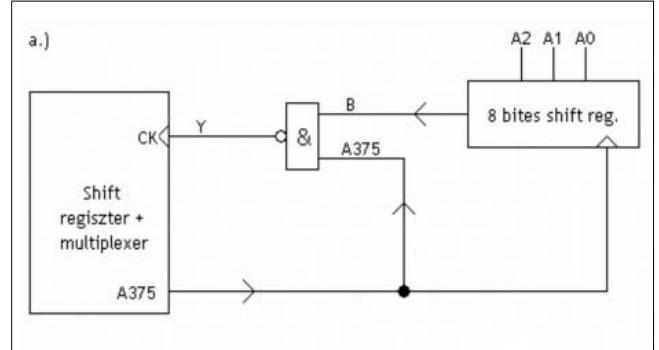
A multiplexer címző vezetékait egy nyolcbites shift regiszter kimenetei állítják be. A visszacsatolt shift regiszter tartalmát induláskor úgy töltjük fel, hogy az első cellában egyes, a többiben pedig nulla logikai érték legyen. Ezt az egyest később a működés során körbe forgatjuk. Ez az egyes (token) határozza meg, hogy a nyolc fázisjel közül melyik legyen kiválasztva. Minden cellához tartozik egy fázisjel, ahogy a tokent a shift regiszterben eggyel léptetjük, egyik fázisjelről át tudunk váltani a másikra. A kiválasztó logika egyszerűsödik (nem kell kombinációs hálózat a címző bitek dekódolásához), ezzel időt nyerünk, a frekvenciaosztó nagyobb működési sebességgel képes dolgozni.



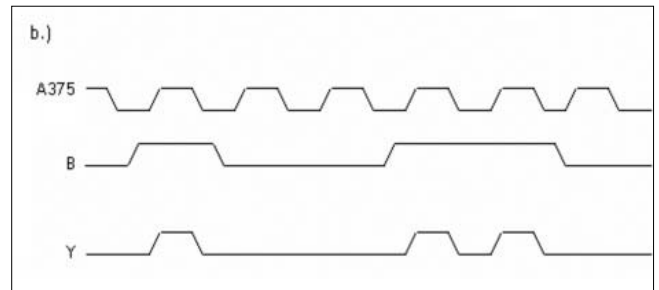
8. ábra Shift-regiszteres multiplexer blokkvázlata

A shift regiszter élvezérelt működésű, ahhoz hogy ténylegesen lépjen egyet, fel- vagy lefutó élre van szüksége. A multiplexer kimenetéről érkező lefutó órajel kell, hogy léptesse a shift regisztert, de nem minden esetben kell lépni egyik fázisjelről a másikra, vannak olyan

periódusok, amikor maradni kell. Ennek a vezérlőjelét a korábban említett másik nyolc bites shift regiszter szolgálja. Ha a regiszterből egyes érkezik, ha a következő periódusban lépni kell, és nulla, ha nem kell lépni. Nulla esetén az ÉS kapu kimenete végig nulla marad, lemaszolja a multiplexer kimenete felől érkező jelváltásokat.



9/a. ábra Az ÉS kapu helye, környezettel



9/b. ábra Jelalak, ahogy maszkol és nem maszkol

A 8/9 osztó kimenetét még nyolccal kell osztani, hogy a végső 64 és 71 közötti számmal osztott frekvencia előálljon. Ezt a nyolccal osztást egy aszinkron számláló végzi. Az aszinkron számláló legfelső bite (egy meghajtó inverterláncon felerősítve) szolgáltatja a chipből kivetett jelet.

Van azonban egy másik szerepe is ennek a számlálónak. Hogy a chip a 64-től 71-ig terjedő skálán éppen melyik üzemmódban dolgozzon, azt a három vezérlő bemeneten (A2,A1,A0) adott bináris kombináció határozza meg, mely a felső shift regiszterbe induláskor betöltésre kerül. Ezt a shift regisztert visszacsatolva használjuk, az induláskor beírt adat a tápfeszültség megszűnéséig, az áramkör működése során a léptetőregiszterben köröz. A specifikáció azonban tartalmazza, hogy a frekvencia szintézernek gyorsan és gördülékenyen kell tudnia váltani egyik frekvenciáról a másikra. Ez a váltás éppen a frekvenciaosztó osztásarányának átállításával valósul meg, tehát szükség van a shift regiszter menet közbeni frissítésére, új bitkombináció betöltésére a bemenetről. Az adatot újratölteni a shift regiszterben csak akkor lehet, ha az egy teljes körbefordulást követően a bitsor éppen visszaért a kezdeti pozíciójába, tehát minden nyolcadik periódus végén.

Mivel a shift regiszterünket úgy építettük meg, hogy legyen léptetés és betöltés funkciója is, és a kettő közül egy bittel lehet kiválasztani a kívánt üzemmódot, akkor már nincs más hátra, mint a detektált jelet ráköt-

ni erre a bemenetre, és a shift regiszter minden nyolcas periódus végén újra fogja tölteni a bemeneti biteket a celláiba.

Ennek eredményeképpen az áramkör nagyon gyorsan átválthatóvá válik két osztásarány között, valamint egyúttal megoldottuk azt is, hogy a bemeneti bitkombináció menet közbeni változása nincs zavaró hatással az áramkör működésére, mert az újratöltéskor lényegében egy mintavételezés történik, és a következő újratöltés időpontjáig a bemenetek állapota don't care.

A teljes áramkör architektúráis rajzát a 10. ábra mutatja.

## 6. Áramköri családok

A frekvenciaosztó áramkörünket 3 GHz bemeneti frekvencia leosztására terveztük meg. Előzetes számításaink, szimulációink eredményeképpen azt tapasztaltuk, hogy az alkalmazott 0.35  $\mu\text{m}$  CMOS technológián megtervezett egyszerű CMOS inverter határfrekvenciája 800 MHz környékén van. Ahhoz, hogy a bejövő 3000 MHz-es frekvenciát elérhessük, egyértelművé vált, hogy a nagyfrekvenciás bemeneti fokozatoknál más áramkör-családot kell alkalmazni, mint a CMOS logikai kapukat az áramkörök megépítésére. Választásunk a Source Coupled Logic (SCL – Source csatolt logika) áramköri családra esett. Az SCL logika tulajdonképpen a bipoláris tranzisztorok világából jól ismert Emitter Coupled Logic (ECL – Emittercsatolt logika) család megfelelője MOS tranzisztorokkal megvalósítva.

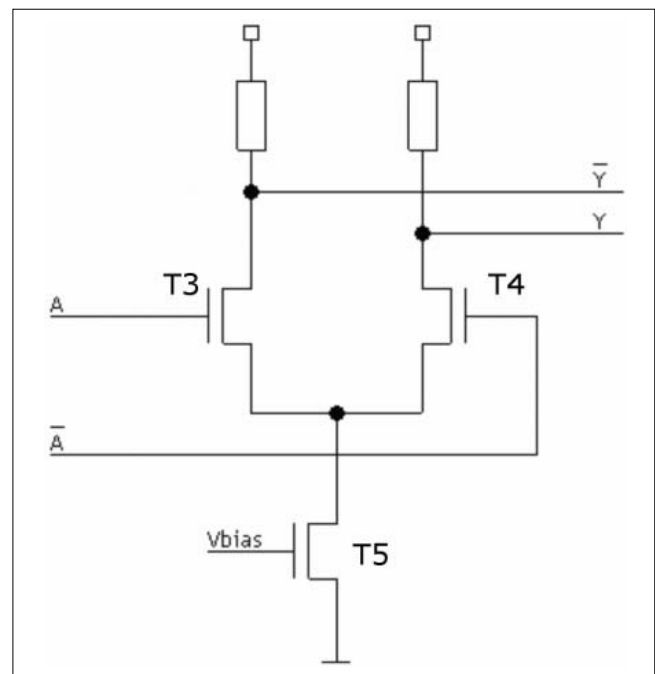
A 11. ábrán egy SCL inverter áramkör kapcsolási rajzát látjuk.

Az áramköri család egyik legfőbb sajátossága, hogy minden jelvezetékét differenciális párként kell az áramkörbe bevezetni (tehát a ponált és a negált jelet is), és a kimeneten szintén megjelenik a differenciált jelpár, tehát két SCL logikai kapu egymás mögé könnyen illeszthető. Az inverter két bemenete a T3 és T4 nmos tranzisztorokra érkezik. T5 nmos tranzisztor gate-je egy megfelelő referencia feszültségre kötve áramgenerátorként

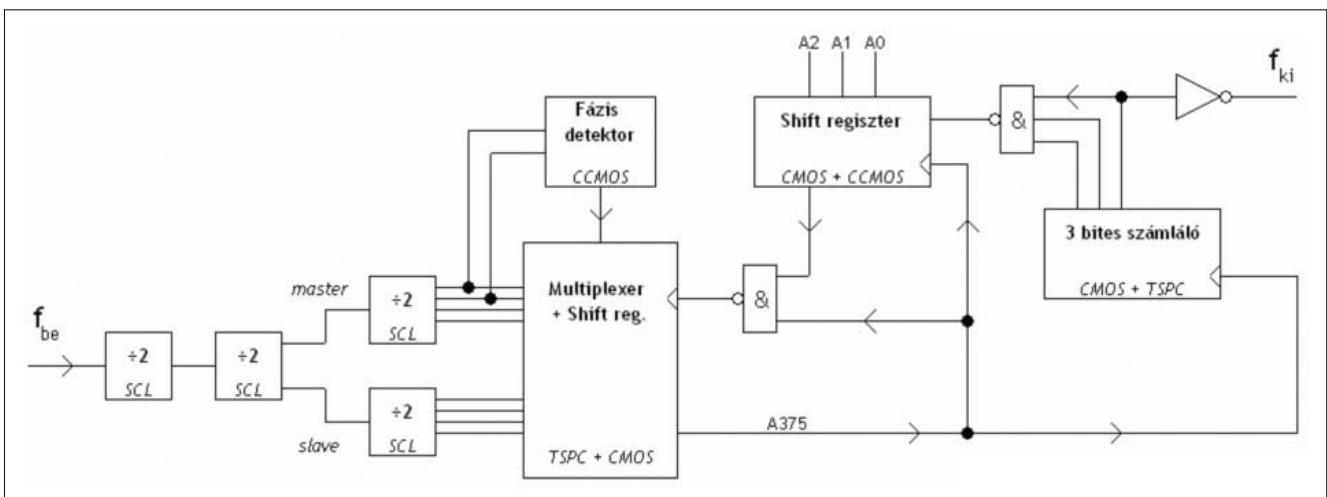
viselkedik, ami azt eredményezi, hogy T3-on és T4-en átfolyó áramok összege mindig állandó marad. A két felső, tápfeszültségre kötött ellenállás helyett pmos tranzisztorok is elhelyezhetők a terhelő ellenállás szerepét töltve be. Ha T3 gate-je magasabb feszültségű, mint T4 gate-je, akkor T3 tranzisztor jobban kinyit, rajta nagyobb áram folyik át, mint T4-en, és mivel a két áram összege állandó, T4-en gyakorlatilag nem folyik át áram. Ezért aztán T4 drainjének potenciálját tulajdonképpen T5 és T3 nyitófeszültségének összege képezi, míg T4 drainjén a felhúzó ellenállás szerepét betöltő T2 tranzisztor hatása miatt közel tápfeszültség adódik. Az inverter két kivezetését ezekről a pontokról csatoljuk le.

Az áramkör gyakorlatilag egy differenciálerősítőként működik, ha a két gate-potenciál közötti különbség meghaladja a néhány száz millivoltot, az áramkör már bebillen, és a kimeneten értelmes logikai jelszintet produkál.

11. ábra SCL inverter



10. ábra Teljes architektúra



Ha a bemeneten elég csak néhány száz millivolt (tipikusan 200-300 mV) feszültség különbséget tartani, akkor ez azt jelenti, hogy ahhoz, hogy egyik logikai szintről a bemenetet a másikba átváltjuk, mindössze 400-600 mV-al kell változtatni a feszültség szintet. A T3 és T4 tranzisztorokat ily módon működtetve elkerülhető, hogy azok telítésbe menjenek. Ez az egyik oka, hogy az SCL áramkörök miért képesek a CMOS inverter határfrekvenciájának többszörösén is üzemelni.

Az SCL további előnye, hogy mivel minden jelvezeték lényegében egy differenciális vezetékpár, a jelek differenciáltan terjednek, és sokkal kisebb érzékenységek a környező (akár a szomszédos cellából érkező) zavarokra, mint a CMOS áramkörök. Ez a nagyfokú zavarérzékenység nagyon fontos előny, mert éppen a nagyfrekvenciás alkalmazásokban különös figyelmet kell fordítani a zavarok csökkentésére, elnyomására.

Az SCL egyetlen komoly hátránya, hogy folyamatos áramfelvétele van, hiszen a T3 és T4 tranzisztorok közül az egyik mindig nyitva van, így ezáltal egy áramút alakul ki a tápfeszültség és a föld között, mely áramnak csak az áramgenerátor és a felső terhelő tranzisztorok szabnak korlátot. Így az SCL család fogyasztás szempontjából kedvezőtlenebb tulajdonságokkal rendelkezik, mint a hagyományos CMOS elemek, melyek csak átváltáskor fogyasztanak, statikus helyzetben gyakorlatilag nem.

## 7. Floorplan

A nagyfrekvenciás bemeneten érkező jelet a négy darab flip-flopot tartalmazó első áramköri blokk nyolcad frekvenciára osztja. Az áramkör többi része később végig ezen a nyolcad frekvencián (375 MHz), vagy még en-

nél is alacsonyabban dolgozik. Ahogy már korábban említettük, a CMOS inverter határfrekvenciája az általunk is használt 0.35  $\mu\text{m}$  CMOS technológián 800MHz körül adódott.

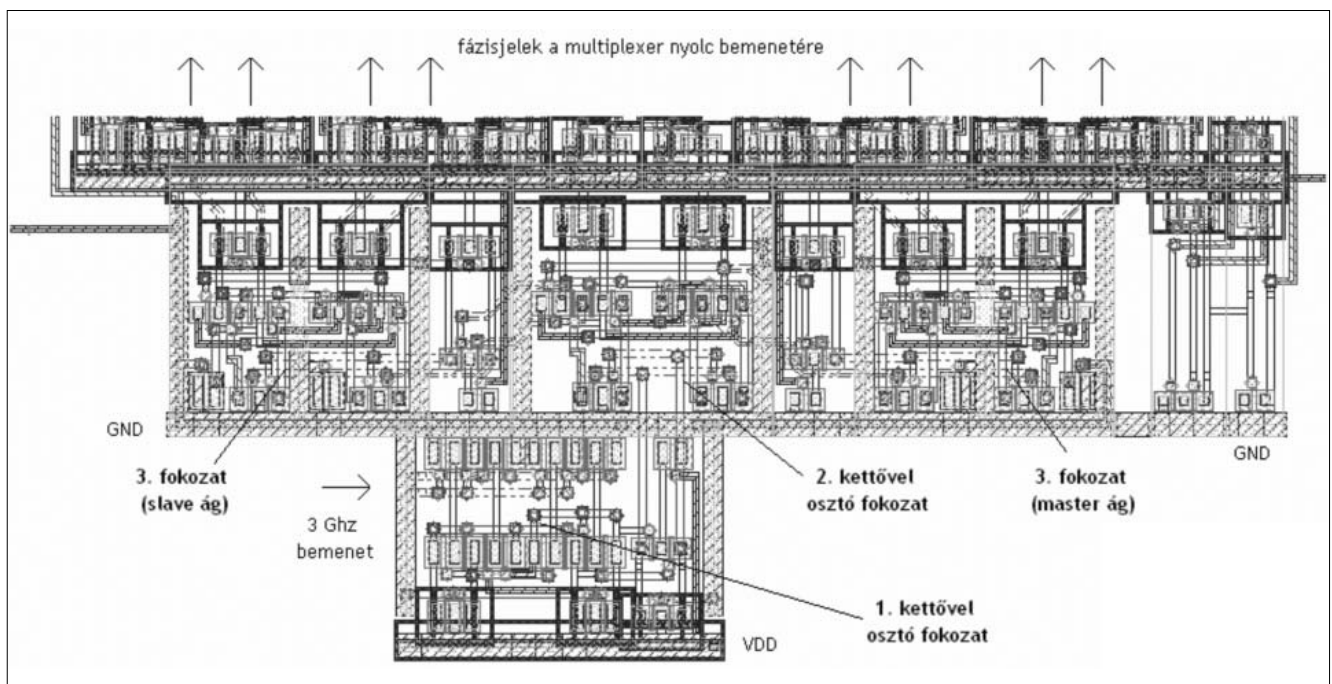
Összegezve a fenti tulajdonságokat, úgy döntöttünk, hogy míg az alacsony frekvenciás tartomány, mivel 400 MHz alatti működési frekvenciát követelünk csak meg tőle, megvalósítható normál CMOS logikából, a nagyfrekvencián dolgozó, nyolccal osztó bemeneti fokozat SCL-ből készül el, a két család találkozásához pedig illesztő áramköröket tettük be.

Ezután következhetett az áramkör topológiai elhelyezése a szilícium felületén. Hogy a nagyfrekvenciás jelrel minél rövidebb utat kelljen megtenni, így a legelső, bemenő jelet fogadó flip-flop a nagyjából téglalap alakot mutató layout alján helyezkedik el, majd a felére osztott kimenet innen halad tovább az áramkör belseje felé. A második flip-flopnak már master és slave kimenete is ki van vezetve – mindkettő egy-egy további flip-flop számára. Ez a két következő flip-flop kétoldalt, jobbra és balra helyezkedik el. Ennek egyik oka, hogy ezzel a kimenő két független nagyfrekvenciás (750 MHz) jel (master és slave) áthallása kiküszöbölhető, másrészt a következő flip-flopok kimeneteinél a nyolc párhuzamos fázisjelnek már nagyobb helyre van szüksége, hiszen itt történik meg az SCL szintről való átalakítás CMOS logikai jelszintekre. A nyolc darab jelhez tartozó SCL-to-CMOS átalakító párhuzamosan, egymás mellett kényelmesen elhelyezhető.

Az elhelyezést a 12. ábra illusztrálja.

A szubsztrát felé folyó áramok csökkentése és a zavarvédelem növelése érdekében az egyes nagyfrekvenciás egységek köré külön-külön guard ringet húztunk, mely gyakorlatilag teljes egészében, a sík minden irányából körülveszi a flip-flopokat, több rétegen is leha-

12. ábra A nyolcas osztó elrendezése közelről



tárolja a benne elhelyezkedő áramkört a külvilág zajaitól: a szubsztrátban egy aktív területből képzett árok húzódik, felette egy sűrűn tűzdelt kontaktussor halad végig, a tetejét egy 2 $\mu$ m széles fémcsík borítja.

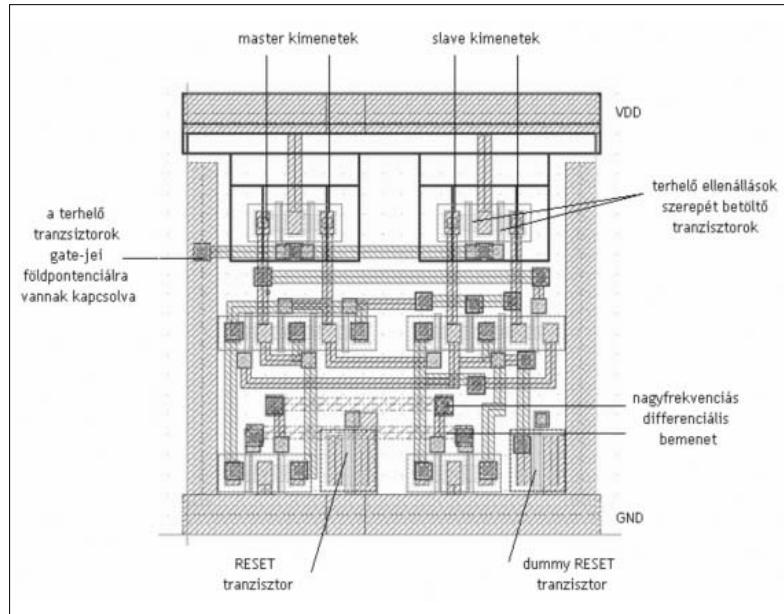
Az áramkört alulról a földszín, felülről a tápvezeték sínje határolja. A tranzisztorokat a minél rövidebb vezetékvezés és a szubsztrát áramok csökkentése érdekében sok helyen „összetoltuk”, egy-egy tranzisztornál a drain kivezetés közös a szomszédos tranzisztor drainjével, míg a másik oldalon a source kivezetésnél a következő tranzisztor source kivezetése szintén egybeépült.

Ezzel a módszerrel négyes csoportokba szervezve helyeztünk el tranzisztorokat egyvonalon. Az alsó, földszín közelében lévő tranzisztorok az áramgenerátor tranzisztorok. Gatejeikre a nagyfrekvenciás órajelek érkeznek a tranzisztorok felett látható MET3 vízszintes fémcsíkokon. Az egész áramkörből ez a tranzisztorsor működik a teljes órajel frekvenciáján (3 GHz), a többi tranzisztor már csak a fele frekvencián üzemel (1,5 GHz). A középső 8 tranzisztor, melyek lényegében az osztást végzik, helyhiány miatt a kissé eltérő vezetékvezéssel felborítják ugyan a szimmetriát, de csak kis mértékben. A négy felső terhelő üzemmódú p-típusú tranzisztor két kettes csoportban helyezkedik el messze egymástól. Ennek legfőbb oka, hogy a hozzájuk tartozó tranzisztorokhoz így tudnak a legközelebb kerülni, de előnyt jelent abból a szempontból, hogy kicsi közöttük az áthallás, hiszen ez a két tranzisztor páros az, amelyek egymáshoz képest 90° fázistolásban dolgoznak. Az áramkört jobbról és balról a guard ring védelme határolja.

Ahogy a nyolc fázisjel az SCL-to-CMOS átalakítókat elhagyja, nyolc darab, 50%-os kitöltési tényezőjű, rail-to-rail jelként belép a CMOS logika területére. Mind a shift-regiszteres multiplexer, mind a számláló, kapuk, és a beolvasó-vezérlő shift regiszter már CMOS kapukból készültek el. Nem alkalmazhattunk standard cellás tervezést, mert ugyan itt már kisebb frekvencián dolgozunk (375MHz), de ez még nem elég alacsony ahhoz, hogy a standard cellák nagy biztonsággal használhatók legyenek. Így maradt a teljesen egyedi kapu áramkörök használata.

A nyolc fázisjel a multiplexer nyolc ÉS kapujának egy-egy bemenetére csatlakozik az áramkörben. A multiplexer megvalósítását olyanra terveztük, hogy a szimmetriát minél jobban megtartsuk. Ügyeltünk arra, hogy mind a nyolc fázisjel egyenlő hosszúságú vezetékeken jusson el a kimenetig. Ehhez a kimeneti utolsó ÉS kaput a blokk közepére kellett helyezni, mely köré két oldalra kerülhettek a fa struktúra további elágazásaiban szereplő kapuk, a legszélén a bemeneti kapukkal. Így aztán a jobb szélén is és a bal szélén is, négy-négy kapura köthető egy-egy fázisjel.

A multiplexerre szorosan ráépül a vezérlést szolgáló shift regiszter is. A shift regiszter nyolc cellájának el-



13. ábra SCL kettes osztó layoutja

helyezését optimalizálás eredményeképpen kapjuk, mely szintén befolyással volt a multiplexer elrendezésére. A két blokkot összeépítve végül egy hatékony elrendezést sikerült elérni, összesen egy darab vezérlő vezeték keresztesződéssel.

Amikor megegyező vezeték hosszokról beszélünk, valójában nem csak arra gondolunk, hogy a hasonló vezetékek megegyező hosszúságban kanyarognak végig a tranzisztorok között, a hasonlóságba bele kell, hogy tartozzon az is, hogy ugyanolyan kanyarokat tegyenek meg (ha muszáj kanyarodni), illetve minél kevesebb szintbeni váltást tartalmazzanak (lehetőleg egyet sem), mert a kontaktusok ohmikus ellenállással és a vezetékek a környező alkatrészek, szomszédos vezeték, szubsztrát, gate-ek stb. felé vett szórt kapacitással együttesen egy RC hálózatot alkotnak, amely lassítja a jel haladását. Abban az esetben, ha az egyik vezeték esetében a szintbeni váltást nem lehet kivédeni egy esetleges vezeték keresztesződés miatt, érdemes meggondolnodni, hogy nem jobb-e a másik, megegyező hosszú vezetékbe is beiktatni egy hasonló váltást a szimmetria kedvéért.

A tranzisztorokat tájolás tekintetében mind egyállásúra (matching) terveztük, hogy a technológiai szórás irányfüggőségét kiküszöböljük, az egymáshoz arányított tranzisztorméretnek minél kisebb szórásúak legyenek. A nagyfrekvenciás vezetékeket (főleg az SCL területein) ahol lehetett a harmadik fémrétegen vezetünk, hogy minél kisebb parazita kapacitással rendelkezzenek elsősorban a szubsztrát, másodsorban minden más alkatrész felé, másrészt minél távolabb kerüljenek a tranzisztoroktól, és minél kisebb zavaró hatást fejthessenek ki rájuk. Törekedtünk mindenhol a szimmetrikus elrendezésekre is, és még az áramkörök elhelyezésének tervezésénél ügyeltünk arra, hogy minél kevesebb vezeték keresztesződést kelljen beépíteni az áramkörbe.

## 8. Összefoglalás

A hosszú hónapokon át tartó tervezési és kutatói munka eredményeképpen egy olyan korszerű, nagyfrekvenciás frekvenciaosztó áramkört sikerült létre hozni, mely egy elavultabb, régi, de tömeggyártásra nagyszerűen alkalmazható, olcsó technológián működik. Az áramkör egy olyan új, egyedi architektúrát használ, melynél az áramkör bonyolult részei az órajel frekvencia tört részén működnek, amelynek köszönhetően teljesítményfelvétele töredéke a megszokott architektúrával készülő más frekvenciaosztóknak.

### Irodalom

- [1] D. Szente-Varga, Gy. Bognár, M. Rencz, New architecture low power frequency divider on CMOS 0.35  $\mu\text{m}$  for 3G application, IEEE DDECS konferencia, 2005.
- [2] 2.4 GHz Monolithic Fractional-N Frequency Synthesizer with Robust Phase-Switching Prescaler and Loop Capacitance Multiplier, Keliu Shu, E. Sánchez-Sinencio, J. Silvia-Martínez, Sherif H.K. Embabi, IEEE Solid State Journal, Vol. 38. Nr.6, 2003. június.
- [3] Z. Lao, M. Berroth, M. Rieger-Motzer, A. Thiede, V. Hurm, M. Sedler, W. Bronner, A. Hülsmann, B. Eaynor, 31 GHz Static and 39 GHz Dynamic Frequency Divider ICs Using 0,2  $\mu\text{m}$ -AlGaAs/GaAs-HEMTs, (ESSCIRC'96) 22nd European Solid-State Circuits Conf., 1996.
- [4] Kuo-Hsing Cheng, Ven Chieh Hsieh, High Efficient 3-input XOR for Low-Voltage Low-Power High-Speed Applications, IEEE ASICs, AP-ASIC 1999.
- [5] Kelui Shu, Edgar Sanchez-Sinencio, A 5 GHz prescaler using improved phase switching, Circuits and Systems, IEEE ISCAS 2002.
- [6] 16.3 GHz 64:1 CMOS Frequency divider, IEEE ASICs, AP-ASIC 2000.
- [7] Nagendra Krishnapura, Peter R. Kinget, 5.3 GHz Programmable Divider for HiPerLAN in 0,25 $\mu\text{m}$  CMOS, IEEE Solid State Journal, Vol. 35. Nr.7, 2000.
- [8] 90 GHz operation of novel dynamic frequency divider using InP HBTs (Research Report). Nippon Telegraph and Telephone Corporation, 2003.
- [9] Andreas Wassatsch, Dirk Timmermann, Scalable Counter Architecture for a Pre-loadable 1 GHz@0,6  $\mu\text{m}$ /5 V Pre-scaler in TSPC, IEEE Circuits and Systems, 2001.
- [10] J. Navarro Soares, Jr., W.A. M Van Noije, 1.6 GHz Dual Modulus Prescaler Using the Extended True-Single-Clock CMOS Circuit Technique (E-TSCP), IEEE Solid State Journal, Vol. 34. Nr.1., 1999.
- [11] U. Tietze, Ch. Schenk, Analóg és digitális áramkörök, Műszaki könyvkiadó, 1990.
- [12] F. Klass, C. Amir, A. Das, K. Aingaran, C. Truong, R. Wang, A. Mehta, R. Heald, G. Yee, New family of semidynamic and Dynamic Flip-Flops with Embedded Logic for High-Perform. Processors, IEEE Solid State Journal, Vol. 34. Nr.5., 1999.
- [13] F. Grassert, D. Timmermann, Dynamic self-timed logic structures, IEEE DDECS, 2003.
- [14] S. Pellerano, S. Levantino, C. Samori, A. L. Lacaita, 13.5 mW 5 GHz Frequency Synthesizer with Dynamic-Logic Frequency Divider, IEEE Solid State Journal, Vol. 39. Nr.2., 2004.