

Számítógépes módszerek a VLSI kihozatal növelésére

HOSSZÚ GÁBOR

MEV Mikroelektronikai Vállalat

Összefoglalás

A cikk egy beszámoló az 1990. február 12–16. között Davosban megrendezett szeminárium sorozatról, ahol bemutatták a VLSI kihozatal növelés és gyárthatóságra való tervezés területén a tudomány mai állását.

Az előadásokon ismertették az IC gyártástól elválaszthatatlan ingadozásokra tekintettel a terv parametrikus kihozatalának növelésére irányuló módszereket, majd a statisztikus eljárás szimuláció módszertanát. A továbbiakban bemutatásra került a Prof. Taguchi által népszerűsített minőségre való tervezés és egy átfogó megközelítés a statisztikus eljárás szabályozásra. A számos számítógépes gyakorlat segítségével a résztvevők megismerkedhettek a kihozatal növelésre kidolgozott szoftver eszközökkel is.

1. Áttekintés

1990. február 12–16. között Davosban rendezte meg a CEI-EUROPE/ELSEVIER a Számítógépes módszerek és eszközök a VLSI eljárás, eszköz és áramkör optimalizálására című tanfolyamot egy nemzetközi szemináriumsorozat részeként. A tanfolyamon a következő intézetek és cégek képviselői vettek részt:

- Analog Devices, Írország
- AT & T Mikroelektronika, Spanyolország
- Bari Egyetem, Olaszország
- CSEM, Svájc
- EM Microelectronic Marin, Svájc
- Ericsson Components, Svédország
- Marconi Electronic Devices, Nagy-Britannia
- Philips Components, Hollandia
- Siemens AG, Német Szövetségi Köztársaság
- South African M-E Systems, Dél-Afrikai Köztársaság

A kihozatalkutatás területén nemzetközileg vezető helyet ért el egy, a Pittsburgh-i Carnegie Mellon Egyetemen működő kutatócsoport. Tagjai közül négyen tartottak előadást a következő témakörökben:

Prof. Dr. S. W. Director:

- Megvalósíthatóságra való tervezés kihozatalra kifejlesztett CAD eszközök használatával
- Parametrikus kihozatal maximalizálás
- VLSI gyártási eljárás statisztikus leírása: a PROMETHEUS program

Prof. Dr. A. J. Strojwas:

- Statisztikus eljárás szimuláció
- IC gyártási eljárás-tervező munkahely bemutatása
- Minőségre való tervezés
- Statisztikus eljárás szabályozás és hibakeresés,



HOSSZÚ GÁBOR

1985-ben végzett a Budapesti Műszaki Egyetem Villamos-

mérnöki Kar, Híradástechnika Szak, Műszaki fizika ágazatán „B” oktatási formában. Ezután megkapta a Magyar Tudományos Akadémia 3 éves ösztöndíját, jelenleg a MEV fejlesztő mérnöke. Diplomamunkájának témája magasszintű fordítóprogramok átvihetőségének vizsgálata volt, azóta eszközpáraméterek meghatározásával és az integrált áramkörök gyártási eljárása kihozatalának statisztikus elemzésével és modellezésével foglalkozik. 1985 óta tagja a Híradástechnikai Tudományos Egyesületnek.

Dr. W. Maly:

- Funkcionális kihozatali modellek
- Funkcionális kihozatalcsökkenési folyamatok
- Hibamodellek
- Eljárás megfigyelésre vonatkozó vizsgálatok

Dr. D. M. H. Walker:

- Monte Carlo kihozatali szimuláció
- VLASIC rendszer ismertetése
- Redundáns áramkörök kihozatalának analízise

A tanfolyamon elhangzott előadások három fő témaköré csoportosultak:

- FUNKCIONÁLIS KIHozATAL (Funkcionális kihozatalon a feladatát tekintve jól működő chipek száma és az összes gyártott chip számának hányadosát értjük.)
- PARAMETRIKUS KIHozATAL (Specifikációs paramétereit [pl. jelterjedési sebesség, tápáramfelvétel, stb] tekintve jól működő chipek száma per az összes gyártott chip száma.)
- STATISZTIKUS ELJÁRÁS SZABÁLYOZÁS ÉS HIBAFELDERÍTÉS

A tanfolyam során megismertem egy kitűnően használható programrendszert, melynek elemei a következők:

- MAGIC layout editor
- VLASIC funkcionális kihozatal szimulátor
- FABRICS CMOS és bipoláris statisztikus gyártási eljárás szimulátor
- PROMETHEUS a fenti gyártásszimulátort egy adott gyártósorra ráhangoló program.

A számítógépes laboratóriumi gyakorlatokat alkalmazó munkák ezek kezelését alapfokon elsajátítani. A fenti programokat C nyelven írták, így könnyen átvihetők

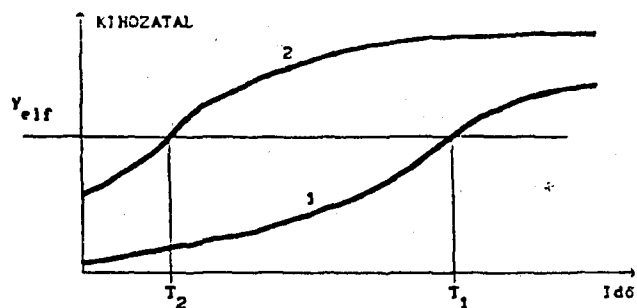
Beérkezett: 1990. III. 10. (†)

a különböző gépekre. A tanfolyamon a UNIX operációs rendszert használó, hálózatba kapcsolt SUN 3/60-as munkahelyeken dolgoztunk.

2. Parametrikus kihozatal optimalizálás

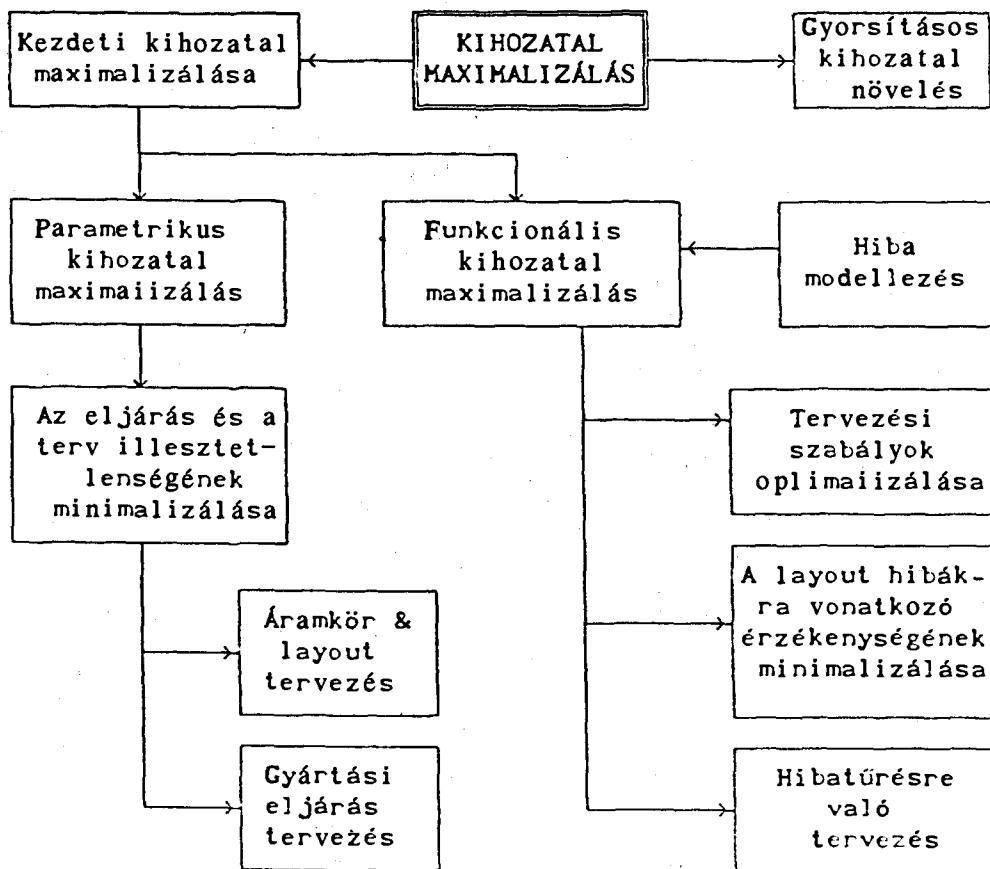
A parametrikus kihozatalhoz kapcsolódó témakörök a következők voltak:

- Szimulációs módszerek
- Gyártási eljárás statisztikus jellemzése
- Minőségre való tervezés
- Gyárthatóságra való tervezés.



1. ábra. A tanulási görbe

Az előadáson ismertetett statisztikus eljárás szimuláció arra a feltételezésre épült, hogy a gyártási eljárásbeli véletlen ingadozásokat vissza lehet vezetni néhány véletlenszerűen változó paraméterre, amelyek egymástól függetlenül, megközelítőleg normális valószínűségi eloszlás szerint változnak. Ezeket *eljárás-zavaroknak* nevezik. A parametrikus kihozatal csökkenésért alapvetően a globális hibák, míg a funkcionális kihozatal csökkenésért a helyi katasztrofális meghibásodást okozó ponthibák a felelősek. (Meghibásodás alatt az áramköri építőelemek, pl. tranzisztorok hibás működését értjük, gyártási hibákon pedig az ezeket kiváltó szilíciumbeli tökéletlenségeket, pl. a ponthibákat.) A fenti okok miatt a továbbiakban a kétféle hibamechanizmust teljesen elkülönítve kezelték. A FABRICS statisztikus gyártásszimulátor a PROMETHEUS hangoló programmal gyakorlatilag tökéletesen szimulál egy adott gyártósort. A nagy számítási költségek miatt azonban nem alkalmazható közvetlenül kihozatal maximalizálásra, de a hagyományos módszerek hatékonyságát jelentősen megnövelheti. A továbbiakban összehasonlításra került a parametrikus kihozatal maximalizálásra általánosan alkalmazott kétféle módszer, a statisztikus (Monte Carlo) alapú illetve a mértani (determinisztikus). A végkövetkeztetés az volt, hogy egy terv kísérleti szakaszában a determinisztikust érdemes



2. ábra. A kezdeti kihozatal maximalizáló különböző eljárások

H 589-2

használni, mivel stabil és gyors konvergenciát biztosít bizonyos pontossággal egy optimumhoz. Sok optimalizálható paraméter esetén azonban statisztikus módszerrel lehet csak dolgozni, mivel a mértani módszer dimenzionálisan túl bonyolulttá válik, továbbá, mert a statisztikus módszer nem annyira érzékeny az elfogadási tartomány szabálytalanságaira, mint a mértani.

2.1 Gyárthatóságra való tervezés

Egy áramkör kihozatalának változását az 1. ábrán látható görbék írják le. Az 1. görbe egy szokásos gyártási ciklusra jellemző. A T_1 időpontig terjedő szakaszt *tanulási görbének* nevezik. Ez alatt állítják be a tervezési és/vagy a technológiai paramétereket a gyártmány szempontjából optimális értékre, amíg el nem érik az Y_{et} elfogadható kihozatali szintet.

Ha a gyártási eljárást és/vagy az áramkör tervezését úgy végezzük, hogy a *gyárthatóság* szerint optimális értékre kerüljön, akkor megnövelhetjük a *kezdeti kihozatalt*. (1. ábra, 1. görbe). A T_1 időtartam csökkentésének másik módja a tanulási görbe meredekségének növelése (1. ábra, 2. görbe). Ezt a gyártási eljárás stabilizálásával érhetjük el, ami minimalizálja az eljárás szórását. Ezt a módszert *gyorsítós kihozatalnövelésnek* nevezük. A fenti kétféle módszer megvalósítási lehetőségeit szemlélteti a 2. és a 3. ábra.

2.2 Az eljárászavarok okai

- Emberi hibák és berendezések meghibásodása
- Ingadozások az eljárási feltételekben
pl.: turbulens gázáramlás
- Ingadozások az anyagok minőségében
pl.: szennyezők a vegyi anyagokban
- Hordozóbeü rendellenességek
pl.: ponthibák, diszlokációk, felületi tökéletlenségek
- Litográfiai foltok (maszkgyártás és használat során)
pl.: átlátszó folt átlátszatlan területen
- Berendezésekbeli ingadozások
pl.: maszk elillesztések

2.3 Az eljárászavarok hatásai

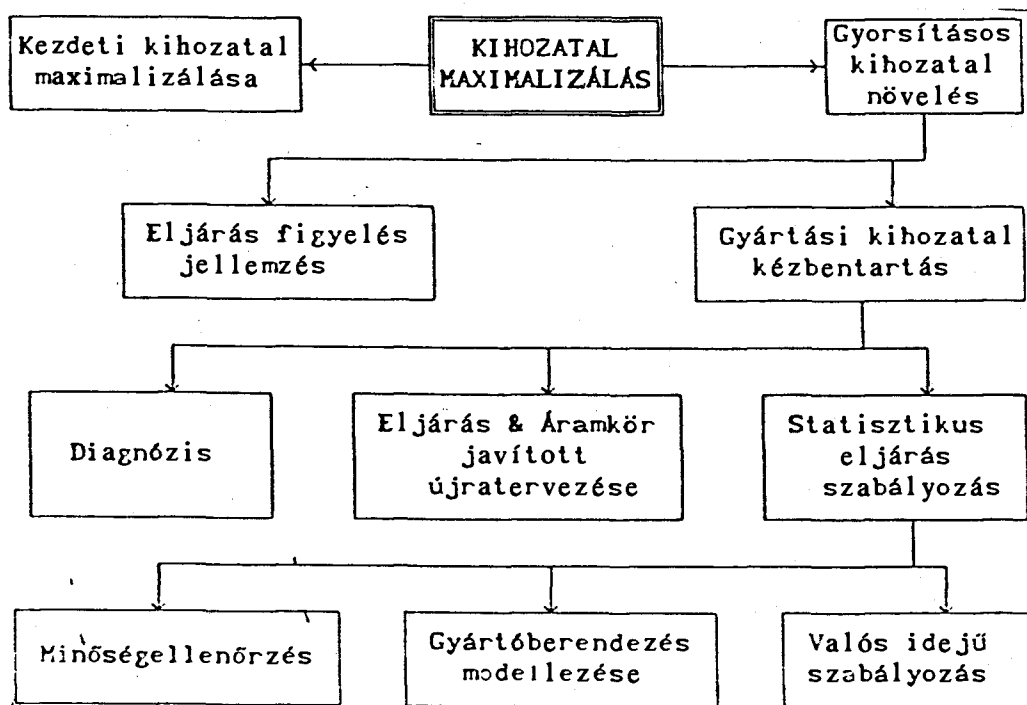
A GEOMETRIÁRA:

- Oldalirányú deformációk
 - oldalirányú széleltelődés.
 - maszk elillesztés (az illesztőábra előző rétegének pontatlansága miatt)
 - Mélységi irányú hatások
 - pn átmenet mélységbeli szórása
 - oxidvastagságbeli szórás
- Foithibák.

AZ ELEKTROMOS TULAJDONSÁGOKRA:

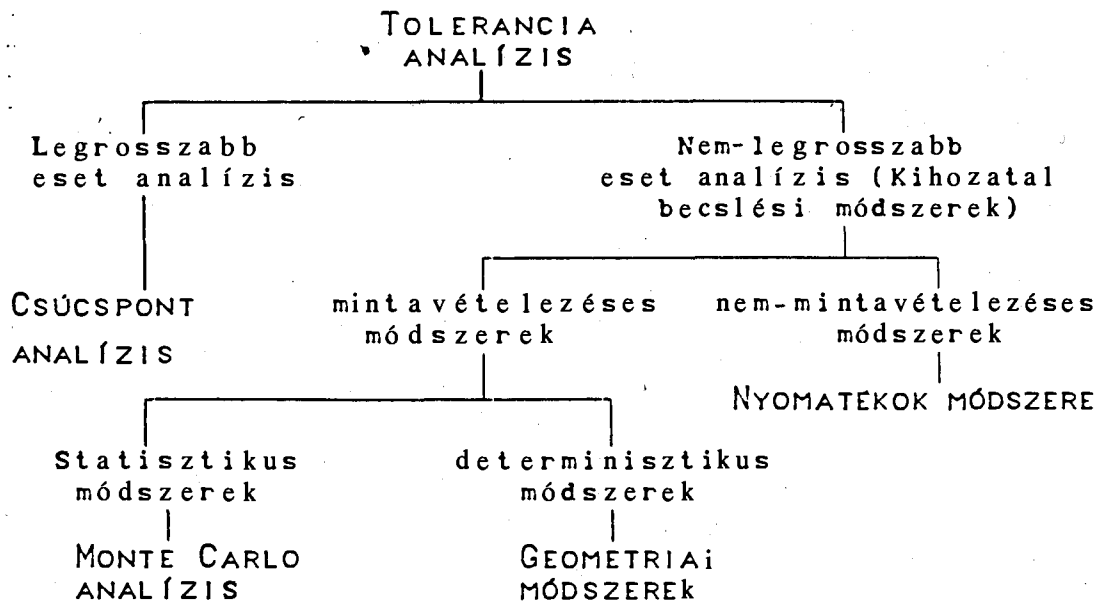
- pn átmenet megnőtt szivárgási árama
- alacsony letörési feszültség

A paraemetrikus kihozatal optimalizálására használt módszereket a 4. ábrán láthatjuk csoportosítva.



H 589-3

3. ábra. A gyorsítós kihozatalnövelés különböző típusai



H 589-4

4. ábra. Tűrésmező elemzési módszerek

3. Katasztrofális (funkcionális) kihozatal modellezés

A funkcionális kihozattal kapcsolatos előadások témái a következők voltak:

- Funkcionális kihozatali modellek
- Kihozatal csökkenési folyamatok
- Szimulációs módszerek.

A funkcionális kihozatal modellezésével kapcsolatban sok különböző pontosságú hibamodell került ismertetésre. Ezek alapján általános megállapításként mondható, hogy nem elsősorban a modellt alkotó matematikai képlet bonyolultsága, hanem az abban szereplő paraméterek helyes értékre állítása biztosíthatja egy kihozatali modell jószágát. Minőségi különbség főleg abban a tekintetben van a különböző modellek között, hogy figyelembe veszik-e azt, hogy egy adott chipen több funkcionális meghibásodást okozó ponthiba is előfordulhat. Ezekből természetesen egy is elég ahhoz, hogy a chipen lévő áramkör ne működjön. Ha ezt nem veszik számításba egy adott hibamodellben, akkor a valóságnál sokkal pesszimistább eredményt fognak kapni. Ez különösen akkor adhat jelentős eltérést a valótól, ha a hibák eloszlása a szeleten nem egyenletes. Ilyen esetekben az ún. csoportosítási (clustering) módszerből nyerhető csak valósághű eredmény.

A VLASIC programrendszer segítségével tetszőleges eloszlású ponthiba sokaságot lehetett bevinni a szimulált layoutba. A hiba-meghibásodás kapcsolat vizsgálatából kitént, hogy:

I. A hibák hatásának jelentkezése az elektromos működésben függ:

- a hiba elhelyezkedésétől
- a hiba méretétől
- a hiba eredetétől.

II. Nem minden hiba okoz meghibásodást.

III. Nem minden meghibásodás ismerhető fel a rendelkezésre álló vizsgálati eszközökkel.

A végső következtetés pedig az, hogy a többlet vagy hiányzó anyagokkal rendelkező területek sokkal bonyolultabb módon hatnak az IC funkcionális viselkedésére, mint azt az egyszerű kihozatalbecslési modellek feltételezik. Tehát a valósághű leírásához számításba kell venni az adott áramkör szerkezetét, a layout tervezési szabályokat és a gyártási berendezések tulajdonságait is.

Ez utóbbira nagyon szép példa az a fajta ponthiba, ami a reziszt alá került nagy méretű szemcse hatására alakul ki. Ha ezt teljesen lefedi a fotoreziszt, akkor elvileg nem kellene meghibásodást okoznia. Azonban pozitív reziszt esetén a szemcse tetején lévő emulzió kikerülhet a megvilágító optikai berendezés gyűjtőpontjából, így a reziszt a megvilágítatlan területeken lévőkhöz hasonlóan fog viselkedni. A reziszt eltávolítása után az alatta lévő réteg védtelenné válik és így a vezető réteg marása után szakadást okoz. A ponthibák hatásának vizsgálatához a programrendszer a valóságos layoutot transzformálja egy egyszerűsített és a ponthibák hatása szempontjából kritikus területeket leíró, ún. látszólagos layoutba. Ez azután lehetőséget nyújt a ponthibák eloszlását leíró képletek használatára. Egy másik lehetséges megközelítés a Monte Carlo analízis, amely pontos eredményt ad, azonban rendkívül időigényes.

A ponthibák okozta áramköri meghibásodások vizsgálatához a következő szempontokat kell figyelembe venni:

- a hiba környezetében a layout geometriájának vizsgálata;
- poligon műveletek elvégzése a hiba és a layout geometrián, vagyis a kritikus területek kiszámítása azért, hogy alkalmazhassuk valamelyik hibamodellt és
- az adott ponthiba által okozható különböző lehetséges áramköri meghibásodások közül a valóban bekövetkező kiválasztása.

3.1 A ponthibák osztályozása

A hibavizsgálatok során a következő ponthibákat különböztetjük meg:

- Rövidzár (pötty-hiba)
- Szakadás
- Új áramút (túlyuk hiba)
- Szabadon lógó eszköz kivezetés
- Rövidre zárt eszköz
- Új gate-ű eszköz (többlet poli hiba)
- Új aktív eszköz (többlet aktív hiba).

A ponthibák valóságos eloszlásának vizsgálatára új, különlegesen tervezett híd típusú vizsgálóábrákat mutattak be [1].

3.2 Az eljárásközpontú vizsgálat

A szemináriumon ismertetésre került egy, a gyártási eljárás megfigyelésével foglalkozó átfogó módszer. Ez szükségesnek látszik bármelyik korszerű VLSI szintű gyártásban. Ugyanis az IC funkcionális vizsgálata információt ad a gyártási hibákra, de ez nem elegendő arra, hogy megtudjuk, mely hibák és milyen eloszlásban jelentkeznek, mint meghibásodást okozó tényezők. Szükségessé vált, hogy az áramkörök megfigyelt működési hibáit összefüggésbe hozzuk az azokat kiváltó eszköz-meghibásodásokon keresztül az utóbbiakat okozó ponthibákkal. Ezért az eljárás központú vizsgálat a következő három lépésből áll:

1. lépés: A vizsgálat eredményeiből a meghibásodások feltérképezése;
2. lépés: A meghibásodások ezen halmazából a gyártási hibák feltérképezése;
3. lépés: A hibatérképből a hibák statisztikus jellemzőinek meghatározása.

A CÉL: egy meghibásodás-gyártási „hibaszótár” létrehozása.

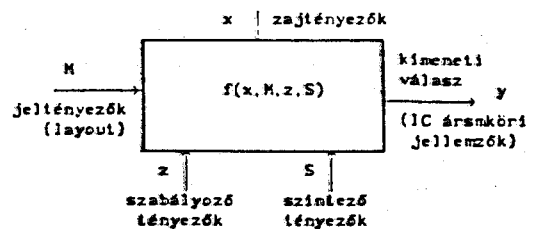
4. A minőségre való tervezés

A tanfolyamon sorra vett témák egyik legérdekesebbike volt a minőségre való tervezés. Ez egy tervezési stílust is jelent, amit Japánban fejlesztettek ki az 50-es és 60-as években. Ott ebben az időben nem volt sem elég jól képzett szakember, sem megfelelő minőségű félvezetőgyártó berendezés, a mikroelektronikai iparuk mégis hamar versenyképessé vált. Ez többek között azért volt lehetséges, mert a fejlesztési és a gyártásba viteli ciklust le tudták rövidíteni az amerikaiakéhoz képest. Ma már ott tartanak, hogy míg Amerikában pl. 30 hónap kell egy új termék kifejlesztéséhez a rendszertervezéstől a folyamatos gyártásig, addig Japánban erre elég 18 hónap. Mindezek egyik oka az, hogy a japánok gondot fordítanak a minőségre való tervezésre és így a minőségi követelményeket rövidebb idő alatt kielégítik az újonnan tervezett termékeik.

4.1 A termék minőségét befolyásoló tényezők

A gyártmány működésére a következő paraméterek hatnak (5. ábra):

- Zajtényezők
- Jeltényezők
- Szabályozó tényezők
- Szintező tényezők



[H 569-5]

5. ábra. A termék minőségét befolyásoló tényezők

A jeltényezők közé soroljuk a termék működtetéséhez szükséges bemeneti jeleket.

A zajtényezőknek három különböző típusa van:

- KÜLSŐK. Ilyenek pl.: terhelési feltételek, hőmérséklet, nedvesség, tápfeszültség, működtetés közbeni emberi hibák, stb.
- GYÁRTÁSI TÖKÉLETLENSÉGEK. Ezek elkerülhetetlenek az IC gyártás során. Ilyen pl. a gyártott termék szórása a névleges értéktől.
- ELŐREGEDÉS. Az idő múlásával a termék egyes elemeinek jellemzői változhatnak, és ez elvezethet az egész tönkremeneteléhez.

Egy lehetséges elképzelés a termék funkcionális szórásának csökkentésére ezen zajtényezők hatásának csökkentése, vagy megszüntetése. Vegyünk egyszerű példaként egy telefonkészüléket. Ebben az esetben a fenti módszer szerint le kellene szűkíteni a használhatósági tartományt, ez pedig azt jelentené, hogy pl. csökkenteni kellene a használat során megengedett környezeti hőmérséklet és páratartalom tartományát, vagy pedig a készítésnél felhasznált alkatrészek szórását, ami azonban nagyon költséges mód lenne egy telefonkészülék minőségének biztosítására. Ennél sokkal olcsóbb út, ha a tervezhető paramétereket olyan értékre állítjuk be, ahol a zajtényezőktől való érzékenység minimális. Azokat a paramétereket, amelyek beállításával befolyásolni lehet a zajtényezőktől való érzékenységet, szabályozó tényezőknek nevezzük.

Mivel a termék minősége a használat során is változhat, úgy kell elkészíteni az adott gyártmányt, hogyha egyes elemeinek paraméterei változnak is az idő múlásával, maga a termék továbbra is jó legyen. Ez azzal biztosítható, ha a gyártáskor a jellemzők névleges értékeit megfelelően választjuk meg, és a gyártott termék ettől való szórása kicsi lesz.

A szintező tényezők valójában speciális esetei a szabályozó tényezőknek. Ezekkel lehet a munkapontot eltolni a megfelelő helyre, rendszerint a szabályozó tényezők névleges értékei.

4.2 Tervezés tekintettel a minőségre

Egy termék teljes tervezési ciklusa a japán módszer szerint három fő részből áll:

- rendszertervezés
- paraméter-tervezés
- tűrésmező-tervezés (tolerancia illesztés).

A *rendszertervezés* végeredménye egy működőképes áramkör vagy egy layout.

A *paraméter-tervezés* vagy *terv optimalizálás* lényege, hogy egy olyan tervet kapjunk, amelynek minimális a zajtényezőktől való érzékenysége, amit a szabályozó tényezők beállításával érhetünk el.

A *tolerancia-tervezés* során tervközpontosítást és tűrésmező illesztést végzünk. A tervközpontosítás annyit jelent, hogy az alkotóelemek névleges értékeit úgy állítjuk be, hogy a gyártott termék jellemzőinek névleges értéke egy optimumba, pl. az elfogadási tartomány közepébe kerüljön. A tűrésmező illesztésekor pedig az alkotóelemek tűréseit lecsökkentjük annyira, hogy a kihozatalt a lehetőségek szerint megnöveljük és így a gyártási költségeket egy minimumba vigyük.

Az előadó szerint az Egyesült Államokban csak a rendszer- és tolerancia-tervezésre figyelnek, a paraméterre való tervezést figyelmen kívül hagyva.

Érdemes megfigyelni, hogy adott gyártási körülmények között a minőséget elsősorban a szabályozó paraméterek beállításával lehet javítani. Ezt a tervező végzi azért, hogy csökkentse a gyártási pontatlanságok által okozott szórás. Így a technológia színvonala által megszabott határokon belül *elsődlegesen a tennék tervezőjétől függ a gyártmány minősége.*

4.3 A kihozatal és a minőség kapcsolata

Egy adott gyártmány jellemzőit rendszerint egy elvárt névleges értékkel és egy megengedett szórással határozzuk meg. Az amerikai tervezési módszer lényege, hogy a gyártott termékek lehető legnagyobb része benne legyen ebben az elfogadhatósági tartományban, az ezen belüli megoszlásuk azonban már nem érdekes. Ezzel szemben a minőségre való tervezés eredményeképpen a legtöbb termék az *elvárt névleges érték* közvetlen közelében lesz, de ennek az az ára, hogy a teljes elfogadási tartományban összességében kisebb hányada lesz a gyártott termékeknek, mint az előző esetben. Így a minőségre való tervezéskor a gyártási kihozatal kisebb lesz, mintha csak a toleranciákra terveztünk volna. Azonban a gyártás végső célja nem a kihozatal növelése, hanem a *minél nagyobb haszon elérése*. Ha sok termék hibásodik meg a használat során, akkor ezek javítása a jótállási kötelezettségek miatt a gyártónak nagyon sokba kerül. A tapasztalat szerint egy termék átlagos javítási költsége arányos az adott termék jellemzőinek a névleges értéktől való eltéréésének négyzetével. A javítási költségek viszont közvetlenül csökkentik a hasznot. A felhasználó számára a meghibásodások sok kényelmetlenséget okoznak, ami azzal

jár, hogy csökken a kereslet a gyártó termékei iránt. Ezeket a tényeket figyelembe véve a minőségre való tervezés nagyobb hasznot biztosít a cégeknek, mint az egyszerű maximális gyártási kihozatalra irányuló tűrésmező-tervezés. Ezt konkrét vizsgálatokkal is alátámasztották. [1] szerint a Sony cég Japánban és az Egyesült Államokban működő televíziógyára termékei jellemzőinek a névleges értéktől való szórását vizsgálva úgy találták, hogy a Japánbeli gyártás kihozatala kisebb, de a jó termékek nagy része a névleges érték közelében található. A későbbi javítási költségeket is figyelembe véve a Sony USA-ban gyártott termékei *háromszor költségesebbek*, mint a Japánbeliek.

4.4 A minőségre való tervezés alkalmazása a gyártás érzékenységeinek csökkentésére

Ha egy IC gyártási eljárásának a gyártás közbeni zavaroktól való érzékenységét akarjuk csökkenteni, akkor a befolyásoló tényezők értelmezése a következő lesz:

- A zajtényezők az ún. *eljárás zavarok*. Ezekről bővebb ismertetés ezen cikk 2. fejezetében és a [9] irodalomban található.
- A jeltényezők alatt a *layout tervet* értjük.
- A szabályozó és a színtező tényezők az *eljárást szabályozó paraméterek*.

A kimeneti jellemzők pedig a gyártott IC *áramkörü jellemzői*.

A szemináriumon elhangzott előadás további részében Taguchi Genichi japán tudósnak, a minőségre való tervezés kifejlesztőjének a módszer kivitelezésére vonatkozó eljárását ismertették. Ezt hely hiányában itt nem részletezhetjük, azonban az [1] konferencia anyagban részletesen megtalálható.

5. Összegezés

A tanfolyamon megismert szimulációs programcsomagokat a fejlett technológiájú félvezető gyárakban széleskörűen alkalmazzák. Sajnos a megismert programok jelenleg még tilalmi listán vannak, azonban a várható export liberalizálás után ezek valószínűleg elérhetőek lesznek a magyar mikroelektronikai vállalkozások számára is. Az ismertett szoftver rendszerek megvásárlása elsőrendű fontosságú, mivel nélkülük nem képzelhető el egy VLSI szintű gyártási eljárás gazdaságos kifejlesztése.

Az irodalomjegyzékben felsorolt cikkeket és könyveket a szerző a szeminárium anyagaként kapta, és bármikor szívesen az érdeklődők rendelkezésére bocsátja.

6. Köszönetnyilvánítás

A szerző köszönetét fejezi ki a Híradástechnikai Tudományos Egyesületnek, a Soros Alapítványnak és a

Mikroelektronikai Vállalatnak támogatásukért, amellyel lehetővé tették, hogy részt vegyen a cikkben ismertetett szeminárium sorozaton.

7. Irodalomjegyzék

- [1] Computer Methods for VLSI Yield Enhancements (Course 087), Course Material, Davos Winter Seminars, February 12-16, 1990
- [2] Litography Simulation (Course of the VLSI Process and Device Simulation Material)
- [3] Design for Quality (A. J. Strojwas)

- [4] PROMETHEUS User's Guide (T. F. Cobourn)
- [5] FABRICS Tutorial (Dep. of El. and Comp. Eng., Carnegie-Mellon University)
- [6] VLASIC Tutorial (D. M. H. Walker)
- [7] *Strojwas, A. J.*: Statistical Timing Simulation of VLSI Circuits
- [8] *Low, K. K., Kager, P. W., Kellen, Ch.*: PED-PI/C User's guide, Version 3.1, Dep. of El. and Comp. Eng., Carnegie/Mellon University, December 1989
- [9] *Hosszú Gábor*: Módszerek a nagy bonyolultságú integrált áramkörök kihozatalának vizsgálatára a gyártási eljárás szimulációjával, Híradástechnika, 1989. 8.