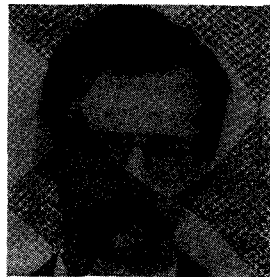


Gate Array-vel megvalósított kettes komplexens képző és kódkonvertáló áramkör

STIPKOVITS ISTVÁN*
ICON Kft.



STIPKOVITS ISTVÁN

Összefoglalás

A cikk egy konkrét feladat megoldása kapcsán ismerteti a kapumátrixos berendezésorientált áramkörök tervezési problémáit, a tervezéshez felhasználható alapvető koncepciókat. Az általános szempontok áttekintése után láthatjuk, hogyan épülnek bele ezek a CPLSI 16 nevű áramkörbe, mely vezérelt kettes komplexens képzési illetve kódkonvertálási funkciót láthat el.

Bevezetés

A TKI-ban készülő egyik berendezés demodulátor egységében egy 16 bites adatszót kellett felváltva (-1)-gyel, vagy (+1)-gyel megszorozni. A végeredmény egy tárolósrba íródott, mely egy DA konverter bemenetéül szolgált. Mivel a DA konverter csak 12 bites, elég volt a műveleteket 12 biten végezni, azaz 4 db, SN7486-os antivalencia kapukat és 3 db, 4 bites teljes összeadókat tartalmazó SN 74283-as tokra volt szükség (1. ábra). A logika bemeneti és kimeneti bufferelését SN74273-asokkal oldották meg.

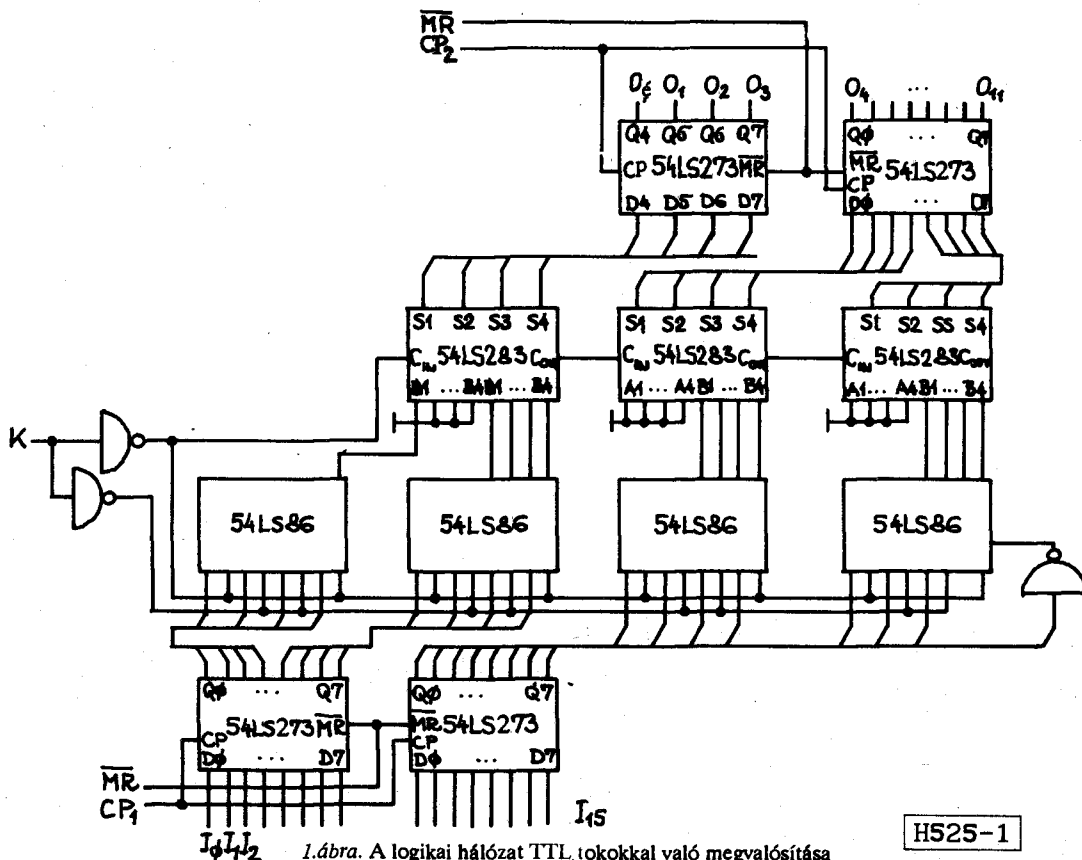
* A cikkben a szerző a Távközlési Kutató Intézetben végzett munkájának eredményeit ismerteti.
Beérkezett: 1989. V. 5. (□)

A BME Villamosmérnöki Karának Híradástechnika szakán szerzett diplomát 1986-ban. Már egyetemi éve alatt, heti 18 órás munkavállalóként a Távközlési Kutató Intézetben a digitális jelfeldolgozás témakörében szoftver feladatok megoldásával foglalkozott.

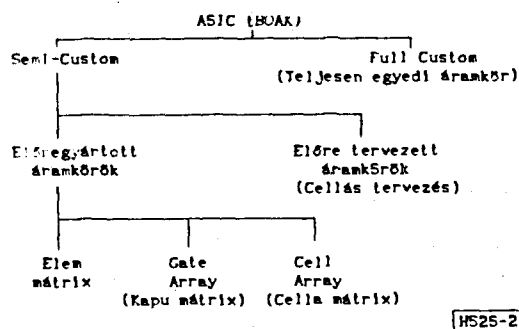
zott. Első munkahelyén, a TKI-ban a BOÁK tervezés mellett különféle szoftver munkákban vett részt.

Jelenleg az ICON Kft.-nél fejlesztő mérnökként dolgozik. Főként IC tervezéssel kapcsolatos témákban több hazai és nemzetközi konferencián tartott előadást.

Ez a hálózat meglehetősen redundáns és figyelembe véve, hogy a belépő mintasor csak 576 kHz frekvenciával érkezik, a sebességi követelményeket lényegesen túlteljesíti. A kártyán elfoglalt nagy felület problémája és a disszipáció csökkentésének igénye szülte ezen logikai funkció BOÁK-kal (Berendezés Orientált Áramkörrel) való megvalósításának ötletét.



1. ábra. A logikai hálózat TTL tokokkal való megvalósítása



2. ábra. A felhasználói integrált áramkörök felosztása

Meglehetősen szűk hazai kínálatból a feladat megoldására a Híradástechnika Szövetkezet HT001-es Gate Array-jét választottuk.

2. BOÁK tervezés NYÁK tervezéstől eltérő szempontjai

A BOÁK tervezés fő lépései a NYÁK tervezéssel analógiába hozhatók, csak az egyes lépések súlyozása és a megvalósítás technikája tér el. Nézzük először a fogyasztói integrált áramkörök alapvető típusait (2. ábra). A BOÁK-nak megfelelő kifejezés az angol nyelvű irodalomban az ASIC betűszó, mely az Application Specific Integrated Circuit szavak kezdőbetűiből áll össze.

A 2. ábrán szereplő típusok közül való választás gazdaságossági és realizálhatósági szempontok alapján történik. Kisebb sorozatnagyság esetén az előre gyártott áramkörök, nagy sorozat, vagy nagy bonyolultság esetén az előre tervezett, vagy teljesen egyedi áramkör felhasználása lehet gazdaságos.

Bármelyik típust is választjuk, már a rendszertervezés szintjén törekedni kell;

- a rendszer struktúráit tervezésére
- az előre tervezett áramköri részletek alkalmazására
- lehetőleg kevés különböző cella, makrocella felhasználására
- az áramköri részletek ismételt felhasználására /1/.

Ezen utóbbi célkitűzés azt jelenti, hogy nem kell feltétlenül a minimális kapuszámra törekedni. Ha arra lehetőség nyílik, célszerű azt az áramköri kapcsolást előnyben részesíteni, amelyik szabályos felépítésű layouttal tervezhető meg. Az gyorsítja a tervezés folyamatát, s tervezési hiba előfordulásának valószínűsége is kisebb lesz. Ahol azonban a tervezéshez rendelkezésre álló felület bizonyul szűk keresztmetszetnek, ott célra vezető lehet komplex kapuk felhasználása illetve a pozitív és negatív logikában működő részarámkörök (szintek) váltogatása.

Lényeges különbség a chip és a NYÁK tervezés között, hogy az előbbinél;

- a cellák tetszőlegesen tükrözhetők
- a vezetékparazita kapacitásának és ellenállásának sokkal nagyobb a szerepe

- a cellák elektromos összehuzalozására használható különböző vezetőrészek egymással nem egyenértékűek /1/.

Az alkatrészek, a felhasznált technológia függvényében, 2–5 síkon köthetők össze egymással. Az egyes összeköttetés-fajták növekvő négyzetes ellenállás szerinti sorrendben:

- fém vezeték
- diffúziós vezeték
- poliszilícium vezeték.

A négyzetes ellenállások értékei között nagyságrendi eltérés lehet, az egyes vezetéktípusokon a jelterjedés sebessége tehát erősen eltérő.

Integrált áramköri tervezésnél igen nagy jelentőségű a logikai layout-terv ellenőrzése, hiszen az elkészült maszkon, illetve áramkörön módosítani igen nehéz. A gyakorlatban inkább új maszkot készítenek, vagy a hibát külső áramköri elemek segítségével próbálják korrigálni.

Az áramkörök integráltsági fokának növekedtével egyre komolyabb probléma a teszt szekvenciák generálásának kérdése. A nagy bonyolultságú áramkörök olyan sok belső állapottal rendelkeznek, hogy teljes tesztelésük lehetetlen, s nincs mód arra, hogy valamilyen mérőeszközzel az áramkör valamelyik belső pontjára léphessünk.

3. A CPLSI 16 áramkör tervezésének menete

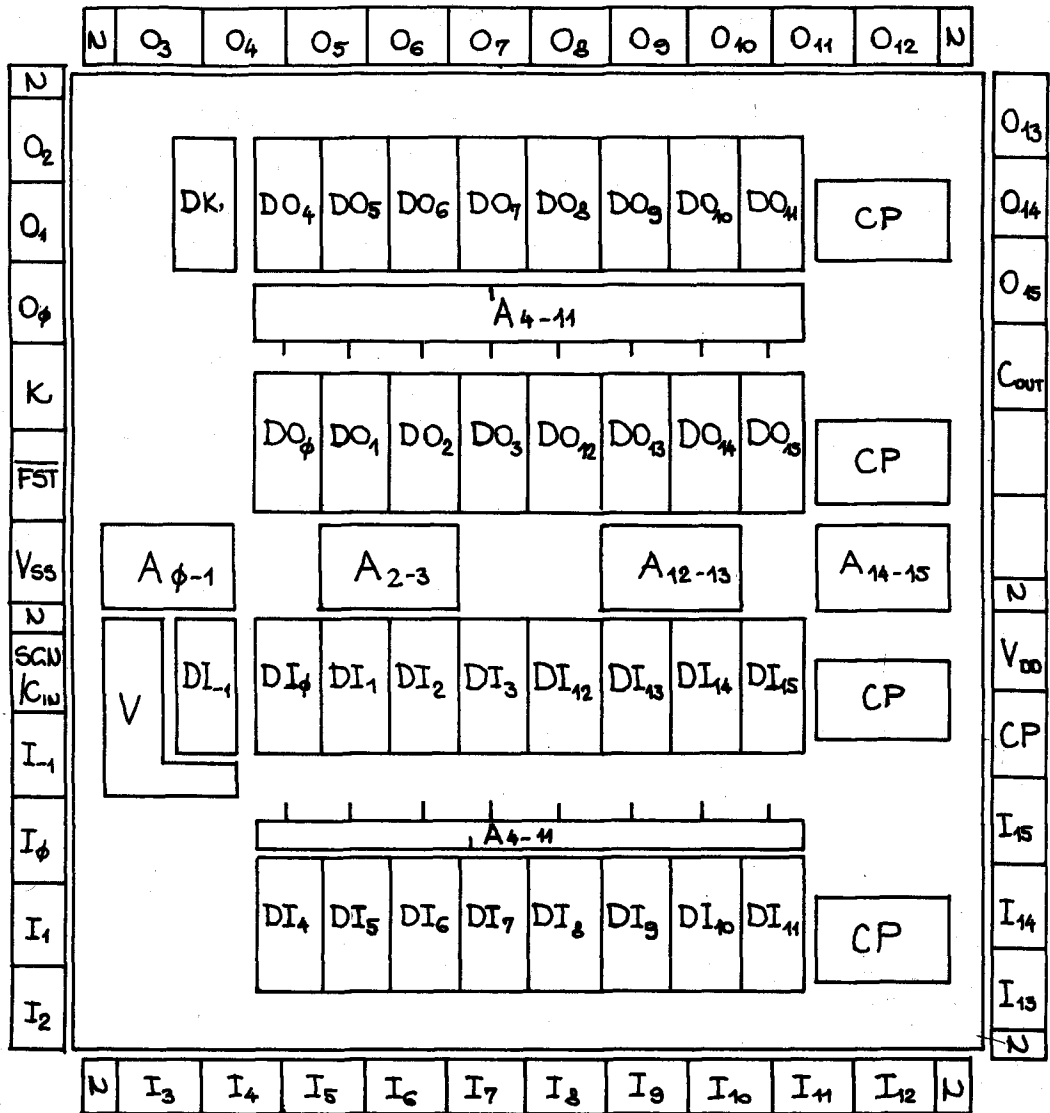
3.1 Áramköri specifikáció

A megvalósítandó áramkör 16 TTL kompatibilis be- és kimenettel rendelkezik (1. ábra). A logikai hálózatnak a K vezérlő bemeneten adható meg, kell-e (-1)-gyel szorozni, vagy sem. Az áramkör biztonsággal kell tudja feldolgozni az 576 kHz-es frekvenciával érkező bemeneti adatszavakat. A 16 bites bemeneti kódszót 12 bitesre kell kerekíteni. Több IC tokot takaríthatunk meg, ha sikerül a be- és kimeneti tárolósorokat is a logikai funkció mellé integrálni. Célszerű tehát olyan chipet választani, mely ezt a lehetőséget biztosítja.

3.2 A HT001-es rövid ismertetése

A HT001-es Gate Array a logikai kapu cellák mellett 32 darab dedikált cellát is tartalmaz /2/. A dedikált cella olyan struktúra a chip felületén, melyen adott logikai funkció – jelen esetben egy MS D tár – a lehető legkisebb felületen valósítható meg, a cella erre van optimalizálva. Ha a kívánt logikai funkció a dedikált cellák között elfér, úgy az áramkör az SN74273-as tok funkcióját is elláthatja. Tekintsük át röviden a HT001-es Gate Array főbb tulajdonságait:

- a chip 7,5 μm -es, fém gate-es CMOS technológiával készül, így nem tartozik a legkorszerűbbek közé, viszont a HTSZ a gyártáshoz megfelelő technológiai háttérrel és tervezési tapasztalattal ren-



N - Nagyimpedanciás cella
 D - D tároló cella (dedikált cella)
 A - Aritmetikai cellák
 I és O - I/O cella

H525-3

3. ábra. A HT001-en található struktúrák

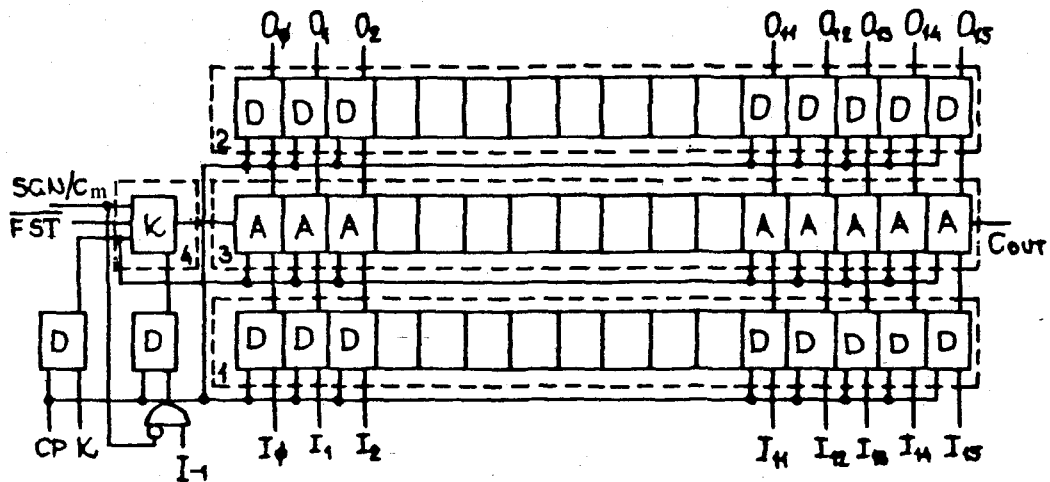
delkezik. A CMOS alapinverter azonos ütemben vezérelt n csatornás (elektron vezetéses) és p csatornás (lyuk vezetéses) eszközökből épül fel. A két tranzisztor közös vezérlő (gate) elektródájára adott logikai „0” szint hatására az n csatornás eszköz lezárt állapotban marad, a p csatornás eszköz pedig viszonylag kis impedanciás utat biztosít a pozitív tápfeszültség felé. Logikai „1” értékű bemeneti szint esetén pedig az n csatornás eszköz nyit ki a negatív tápfeszültség felé, s a p csatornás eszköz marad nagy impedanciájú állapotban.

- 960 tranzisztorpár (256 alapcella + dedikált cellák), 42 db I/O cella a megfelelő védelmek, illetve meghajtóképesség biztosításával
- 32 db dedikált cella MS D tárcák létrehozására

- néhány tipikus kapukésleltetési idő 1 pF terhelés esetén:

Inverter = 10 ns (V_{dd} = 5 V)
 2 bem. NAND = 18 ns
 2 bem. NOR = 22 ns
 Transzfer kapu = 20 ns
 Antivalencia kapu = 50 ns
 Transzfer kapu = 20 ns
 Schmitt trigger = 52 ns
 Antivalencia kapu transzfer kapuval = 20 ns
 3 bem. komplex kapu = 36 ns

- az LSI bonyolultságú áramkör 8 db nagy impedanciás cellát is tartalmaz, melyekkel késleltetések valószínűsíthetők meg
- a kapukimenetek 3 tranzisztorpárral terhelhetők



- 1 - bemeneti tárolósor
- 2 - kimeneti tárolósor
- 3 - az aritmetikai funkciót teljesítő logika
- 4 - vezérlő logika

H525-4

4. ábra. Az áramkör blokkdiagramja

úgy, hogy a sebesség számottevően ne csökkenjen. Az egyes struktúrák elhelyezkedését a chip felületén a 3. ábra szemlélteti. A D betűvel jelzett területek a dedikált cellák, a chip kerülete mentén pedig az I/O cellák és a nagy impedanciás cellák (N) sorakoznak. A D dedikált cellák helyén tárolótól eltérő funkció is megvalósítható, csak rosszabb hatékonysággal. Az N nagy impedanciás cella olyan invertert tartalmaz, melynél a bemeneti jelhez képest a kimenő, invertált jel jelentős késleltetést szenved. A chip szélén elhelyezkedő be/kimeneti pontok mindegyikéhez egy I/O cella tartozik. A cella megfelelő fémezés kialakításával a be/kimeneti pontból bemenetet, illetve kimenetet képezhet.

3.3 A logikai terv

A HT001 kiválasztásával a specifikáció a következőkkel egészül ki:

- azonnal látszik, hogy a 3 legkisebb súlyú bemeneti bitnek semmiféle szerepe nincsen, ezek nem igényelnek külön bemenetet
- új bemenet viszont a CP jel, mely a bemeneti és kimeneti D tárolók közös órajele. így az n-edik kilépő minta az n+1.-edik belépő mintával közös órajelre jelenik meg a D tárolósor kimenetén
- amennyire erre lehetőség nyílik, a K bemenet is bufferelt lesz.

Az így specifikált chip be- és kimenetei az 1. táblázat szerinti. A lábak száma csak a be/kimenetek közösítésével csökkenthető, ami az áramkör bekötését bonyolítja és a műveletvégzési sebességet csökkenti. Így viszont az áramkör nem fért el a 28 lábú tokban, s „löttyögött” a 40 lábúban.

Ekkor merült fel az az ötlet, hogy az áramkör speci-

1. Táblázat

Az áramkör be- és kimenetei a kiindulási specifikáció esetén

Lábak		Megjegyzés
neve	db	
Bemenetek	13	12+1 bemenő bit
Kimenetek	1	
CP	1	Órajel
K	1	Vezérlő bemenet
V _{ss}	1	Negatív tápfeszültség
V _{dd}	1	Pozitív tápfeszültség
Összesen	29	

H525-1T

2. Táblázat

Az áramkör be- és kimenetei a módosított specifikáció esetén

Lábak		Megjegyzés
neve	db	
Bemenetek	17	
Kimenetek	16	
CP	1	
K	1	
V _{ss}	1	
V _{dd}	1	
C _{in}	1	Átvitel bemenet, csak a 2. toktól haszn.
C _{out}	1	Átvitel kimenet, utolsó toknál nem haszn.
SGN	1	Elsőjelbit ismétlés, csak az 1. tok haszn.
FST	1	Első vagy többedik tokként van bekötve
Összesen	41	

H525-2T

fikációját kibővíve általános aritmetikai elemmé válhat, hiszen a (-1) -gyel való szorzás mind kettes komplementes képzésnél, mind kódkonverziók során szükséges. A vezérelhető műveletvégzés az alkalmazási kört tovább bővíti. Általános aritmetikai elemként való felhasználáshoz célszerű volt a hálózatot 16 bitesre kibővíteni, valamint nagyobb szóhosszakkal való műveletvégzéshez a kaszkádosítás lehetőségét biztosítani. A szükséges be- és kimeneteket a 2 táblázat tünteti fel. Látható, hogy most a 40-es maximumot léptük túl egygel, itt azonban kézenfekvő lehetőségként kínálkozik C_{in} és SGN bemenetek közösítése, hiszen egy beépített logika FST állapota alapján dekódolni tudja, hogy a SGN/ C_{in} bemeneten ténylegesen melyik jelet kell értelmeznie.

A CPLSI 16-os áramkör tervezése során már a logikai tervezés is interaktív lépésekben történt. A következőkben a logikai tervezés néhány lépését mutatjuk be részletesebben, mivel az itt használt megoldások kulcsszerepet játszottak az áramkör HT001-es chipen való megvalósításában.

Az aritmetikai egység blokkdiagramja a 4. ábrán látható. Először nézzük, miért szükséges, hogy a bemenő adatszónak MSB-jét a SGN/ C_{in} bemeneten megismételjük:

pozitív számok esetén a kerekítés az I_1 -es bit hozzáadását jelenti az I_1 adatszóhoz, negatív számok esetén azonban a kerekítés csonkolással érhető el. Az SGN bemenettel tehát kapuzzuk I_1 -et, ha pedig a bemenet C_{in} -ként funkcionál, I_1 értéke ugyanis közömbös (a K vezérlő bemenet letiltja). SGN azért külön bemenet, hogy a működés tetszőleges adatszónak hossz esetén is helyes, a működési sebesség pedig lehetőség szerint maximális legyen. Lehetne I_{15} -öt mint előjelet tekinteni, de kisebb szóhosszúság esetén is a 16 bitesnek megfelelő lenne a műveletvégzési idő.

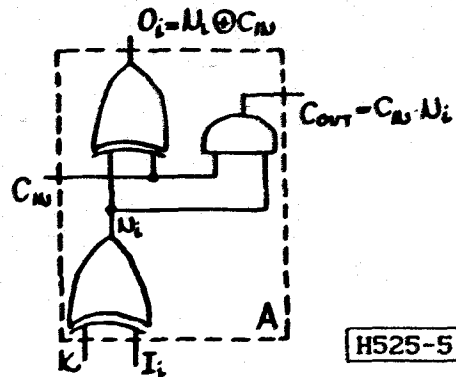
Az A betűvel jelölt aritmetikai cellák mindegyike egy vezérelt invertert és egy fél-összeadót tartalmaz, mely a bemenő átvitelből és az adatbitből egy összeg és egy átvitelbitet állít elő (5. ábra).

Ez, a legkézenfekvőbb megoldás, több szempontból sem a legmegfelelőbb:

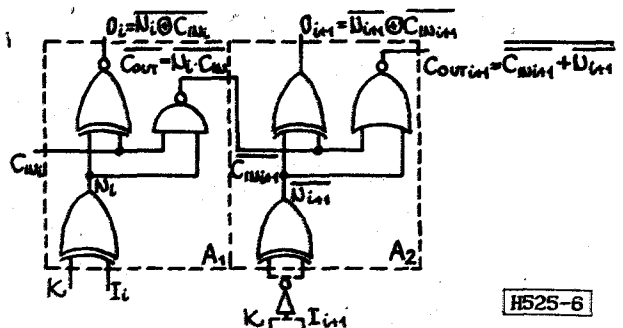
- a terjedő átvitel két kapukésleltetésnyi idő alatt áll elő (És kapu = NAND + Inverter), az átvitelterjedés sebessége pedig az egész áramkör működési sebességét meghatározza
- helyfoglalása jelentős
- mivel a K jele minden A cellánál közös, nagy méretű meghajtó áramkörökre van szükség.

Az első két problémán enyhíthetünk, ha az átvitelbitnek csak a negáltját állítjuk elő, s a rákövetkező A cellát alkalmassá tesszük annak fogadására. Mivel az antivalencia kapu kimenete mindkét bemenet együttes invertálására nézve invariáns, két egymást követő cella felépítése a 6. ábra szerinti lesz.

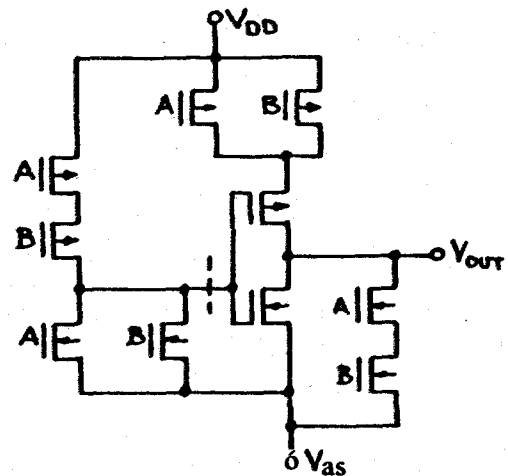
A megoldás előnye, hogy az átviteli terjedés gyorsul, a helyfoglalás csökken. Hátránya viszont, hogy most már nem egy, hanem kétféle aritmetikai cella van és



5. ábra. Aritmetikai alapcella



6. ábra. Módosított aritmetikai alapcella



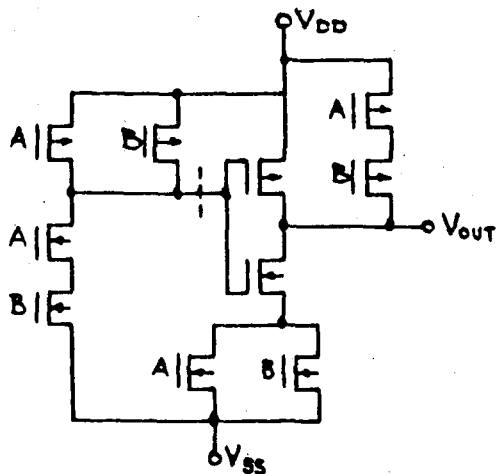
H525-7

7. ábra. CMOS antivalencia kapu

minden A_2 -es cella valamelyik bemenetét invertálni kell. Ez utóbbi probléma két úton is feloldható:

- nem K-t, hanem I_{i+1} -et negáljuk, $\overline{I_{i+1}}$ viszont a bemeneti tárolósor kimenetén máris rendelkezésre áll (D tároló Q kimenete).
- jobb megoldás, ha a hátrányt előnyé változtatva K-t is az átvitelhez hasonlóan terjesztjük. Mivel egy inverter késleltetése kb. fele egy NAND, vagy NOR kapuénak, működés nem lassul, sőt a K jel meghajtó áramköre is feleslegessé válik, mely a működést lassította.

A logikai tervet a későbbiekben még egy helyen módosították a layout tervezés szempontjai. Az antivalen-



H525-8

8. ábra. CMOS ekvivalencia kapu

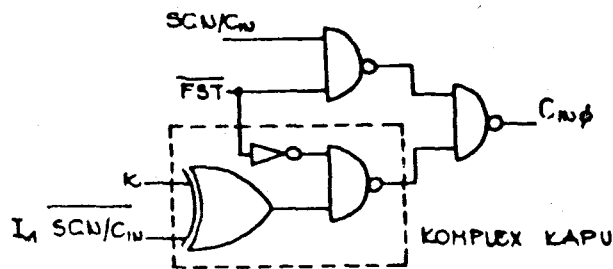
cia kapu tranzisztor szintű kapcsolása a 7. ábra szerinti. Az antivalencia kapu egy NOR kapuból és a kimenetére csatlakozó komplex kapuból áll. Látható, hogy az antivalencia kapu megvalósítása egyben a NOR kapu megvalósítását is jelenti.

Az ekvivalencia kapu tranzisztorszintű kapcsolását a 8. ábra mutatja be. Ez a kapcsolás viszont egy NAND kaput foglal magába, így A_1 -es cella tehát \bar{O}_1 -et állítja elő, de kiegészítő invertert a cellába helyezni nem érdemes a kimeneti D tárolósor \bar{Q} -et levéve, az invertálás megtörténik. Csak a váltott logikai szintek használata tette lehetővé a logikai funkció olyan tömörítését, hogy a layout a rendelkezésre álló felületen tervezhető legyen.

A vezérlő logika feladata, hogy az \bar{FST} bemenet állapotától függően C_{in} -t, vagy a kerekítő bit értékét meghatározó komplex kapu kimenetét adja az első A_1 -es cella C_{in} bemenetére (9. ábra).

3.4 A layout terv

A layout tervezése során a dedikált cellák miatt a bemeneti és kimeneti D tárolók helye rögzített volt. Hogy melyik D tárolót, melyik be- ill. kimenethez rendeltük, hogyan helyezhetők el az A_1 és A_2 -es aritmetikai cellák és vezérlő logika, a 3. ábra szemlélteti. Két



H525-9

9. ábra. A vezérlő logika kapcsolása

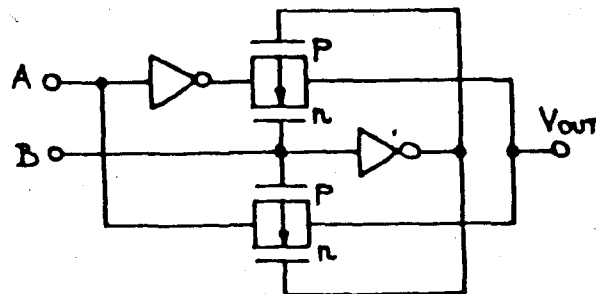
olyan D tároló cellát kellett megvalósítani (DK - a vezérlő bemenet buffere, D_{i-1} - (-1)-es súlyú bemeneti bit buffere), melyek nem dedikált cellán helyezkednek el. Az aritmetikai cellák nemcsak logikai párokat képeznek hanem fizikailag is legalább páronként helyezkednek el a chipen. Az aritmetikai cellákat A_1 -től A_n -ig két részre bontva helyeztük el, a bemeneti D tárolók közelében a vezérelt invertereket, a kimeneti tárolók alatt az összeadókat. Erre a chipen elhelyezett huzalozási felületek elégtelensége és a vezetékek hosszának minimalizálása miatt volt szükség. Ez a felbontás hosszú, nagy késleltetést adó, cellán belüli vezetékvezetés ellenére sem csökkenti a műveletvégzési sebességet, hiszen az első négy aritmetikai cella késleltetése jóval nagyobb, mint egy vezérelt inverter és a vezeték késleltetése. CP jelöli az órajel meghajtó cellákat, V pedig a vezérlő logika helyét. Az elrendezés előnye, hogy a chipen vertikálisan futó vezetékek elérnek a cellák között, nincs a terjedő átvitel útjában extrém hosszú vezeték, rövid vezetékekkel támogatja a felhasználóbarát lábkiosztás megvalósítását is. Hátránya, hogy az elrendezés nem teljesen periódikus.

Az A_1 -es és A_2 -es aritmetikai cellák tervezése során a következő követelményeket szeretnénk teljesíteni:

- az aritmetika 2 D tár közötti helyen férjen el
- minél kevesebb diffúziós bújtatást tartalmazzon, mert ez lassítja a működést
- minél kevesebb ferde vonalat tartalmazzon, mert ez a maszk generálást lassítja.

A fenti követelményeket - a chipfelület meglévő korlátai mellett - legjobban teljesítő elrendezés meglehetősen telített cellákat eredményez. Ha a fenti egyszerűsítéseket nem sikerül elvégeznünk, az A_i cellák nem fértek volna el jelenlegi helyükön, a két D tárolócella közötti 4 alapcellányi felületen.

Mindkét cellában a vezérelt invertereket megvalósító kapcsolás transzfer kapukkal felépített antivalencia kapu. Ennek tranzisztor szintű kapcsolása a 10. ábrán látható. A transzfer kapu párhuzamosan kötött, ellenütemben vezérelt n és p csatornás tranzisztorokkal épül fel. Ennek jelentősége az, hogy a kapu nyitott állapotában a soros ellenállás mind a bemenet logikai „0”, mind logikai „1” szintjénél a lehető legkisebb le-



H525-10

10. ábra. Vezérelt inverter (Transzfer kapuval felépített antivalencia kapu)

gyen. Az ilyen felépítésű antivalencia kapu nagyobb sebességű alkalmazásokra még ennek ellenére sem ajánlható. A kapcsolás vezérelt inverterként való alkalmazása azonban ideális, mert:

- 2 db komplex kapuval felépített antivalencia kapu nem férne el a 4 alapcellán
- az I_i bemenetre kapcsolódó invertert nem kell megvalósítani, hiszen a bemeneti D tárolósor kimenetéről mind Q, mind \bar{Q} levehető
- a K bemenetre csatlakozó inverter kettős feladatot lát el: biztosítja a kapu működéséhez szükséges \bar{K} jelet, s ugyanez a jel terjeszthető tovább a következő cellához is (a logikai szint váltás minden második fokozatban automatikusan előáll). A kapcsolás előnye, hogy a vezérelt invertálási funkció megvalósításához nincs szükség a K és \bar{K} jelek meghajtó fokozatára és az inverterek layoutja is egyforma.

A D tároló cellákat cellakönyvtárból vettük, de mert a chipen csak 32 dedikált cella van, az I_1 -es és K bemenet bufferelését alapcellákon megvalósított D tárolókkal oldottuk meg.

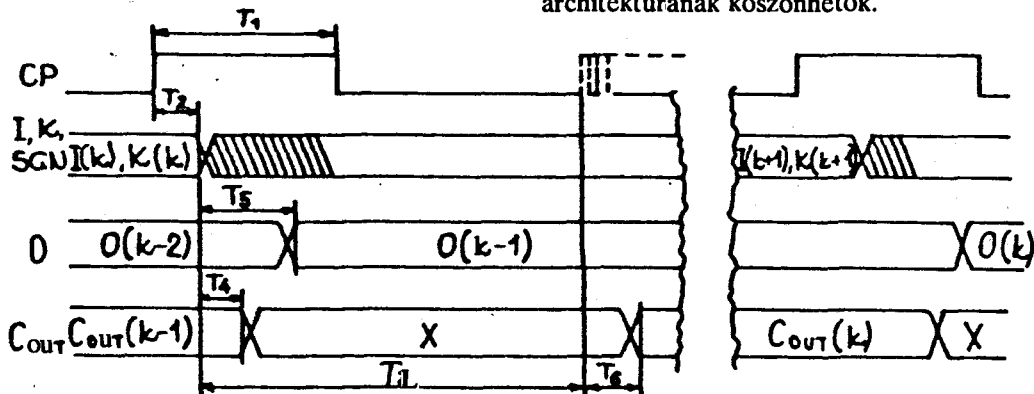
A tervezés során mindenütt sikerült elkerülni, hogy egy kapu kimenetét háromnál több kapubemenet terhelje.

4. A CPLSI 16 áramkör előzetes adatlapja

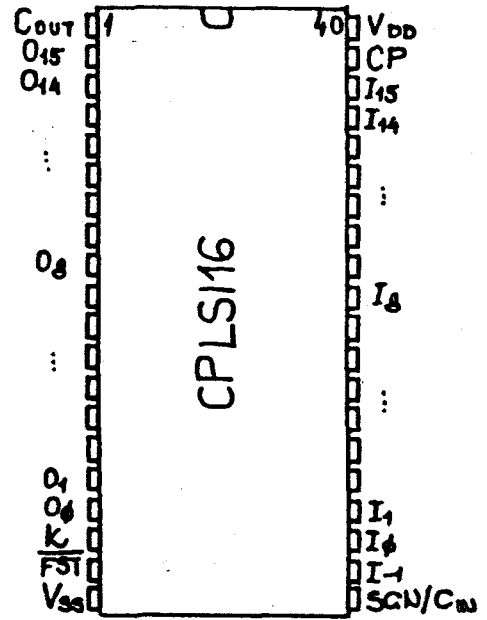
Az áramkör layoutjának tervezését a lábkiosztásra vonatkozó fő követelmények rögzítése előzte meg, így sikerült a jelenlegi konvenciókhoz idomuló, felhasználóbarát lábkiosztást megvalósítani (11. ábra). A tápfeszültség bemenetek a DIL toknál megszokott helyen vannak, a be- és kimenetek a kártyán áttekinthető huzalozással köthetők be. A bemenetek mindkét irányú túlfeszültség ellen diódás védelemmel lettek ellátva, a kimenetek egy TTL terhelés meghajtására képesek.

Az áramkör helyfoglalását a chipen a következő adatokkal szemléltethetjük:

Nagy impedanciás cella	- 0%	kitöltés
I/O cella	- 40/42 = 95,2%	- " -
Tároló (dedikált) cella	- 32/32 = 100%	- " -
Alapcella	- 137/256 = 53,5%	- " -



12. ábra. Időzítési diagram



H525-11

11. ábra. Az IC lábkiosztása

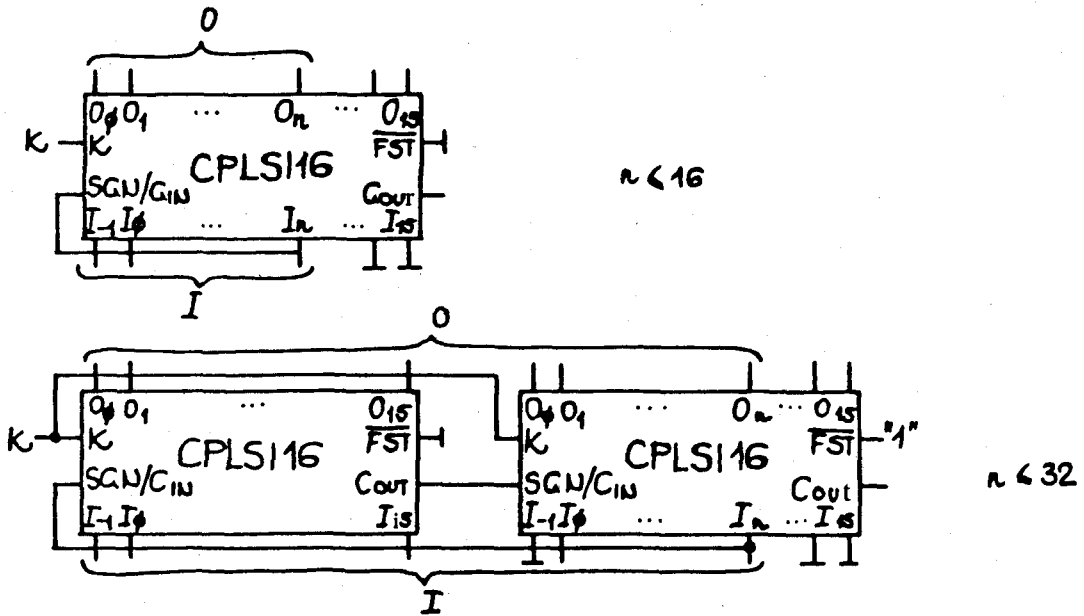
Ez utóbbi adathoz kiegészítésként kívánczok, hogy az áramkör nagymértékben párhuzamos felépítése miatt a kitöltöttség látszólag nagyobb. Párhuzamos működésű elemeket tartalmazó áramköröknél ugyanis a cellák kihasználása a hosszú be- és kimeneti összekötő vezetékek miatt lényegesen alacsonyabb, mint soros működésűeknél.

Az áramkör tervezett működését a 12. ábra időzítési diagramja szemlélteti. Minden bemenő és kimenő jel bufferelt, így a külső időzítések kényelmesek. Természetéből adódóan egyedül a C_{in} jel nem bufferelhető, ennek a teljes műveletvégzési idő alatt fennt kell állnia. A 12. ábra T_3 -mal jelölt ideje a leghosszabb, ez a belső műveletvégzési idő. A legkisebb periódusidő:

$$T = T_2 + T_3$$

A HT001-es Gate Array adatlapján feltüntetett, illetve annak segítségével számítható időadatok alapján a 3. táblázat műveletvégzési idői adódnak. Ezek a viszonylag alacsony működési frekvenciák a majd 20 éves technológiának és az átvitelgyorsítást nélkülöző architektúrájának köszönhetőek.

H525-12



13. ábra. Az IC bekötése (-1)-gyel való szorzáskor

H525-13

3. táblázat

Várható műveletvégzési idők (V_{dd}=5V)

Bitszám	Műveletvégzési idő(ns)	Működési frekvencia(MHz)
12	422	2,37
16	502	1,99
32	768	1,3

H525-3T

5. Alkalmazási lehetőségek

Az aritmetika lehetséges felhasználási köre két fő csoportra osztható:

1. -vezérelt szorzás (-1)-gyel. Ebben a funkciójában

az IC nagyobb szóhosszúságról kerekítést végezhet

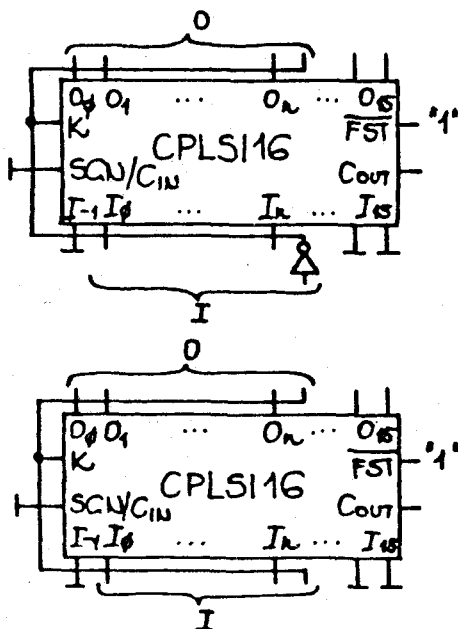
2. -Kódátalakítás

Előjel abszolútértékes → Offset bináris

Előjel abszolútértékes → Kettes komplementes kódk között.

A 13. és 14. ábra az áramkör egyes lábainak bekötését mutatja be az IC felhasználási funkciója és a bemenő szóhossz függvényében. A bemenő szóhossz tetszőleges bitszámra kiterjeszhető.

Az áramkör tetszőleges berendezés aritmetikai eleme lehet, s a kaszkádosíthatóság révén extrém szóhosszokat is kezelni tud. Az LSI bonyolultságú Gate Array jóvoltából a NYÁK lapon jelentős felület taka-



OFFSET BINÁRIS → ELŐJEL ABSZ.

n < 17

KETTES KOMPLEMENTES → ELŐJEL ABSZ.

n < 17

14. ábra. Az IC bekötése kódkonverziókor

H525-14

rítható meg. Az átvitel belső terjedése miatt kevés az egyidejű belső állapot-átmenetek száma, így a CMOS technológia alapvető előnye, a kis disszipáció a működési ciklus legnagyobb részében fennáll.

6. Befejezés

A logikai és layout tervezés lépései kézzel, papíron készültek. A logikai függvények és az egész hálózat működésének helyességét kis BASIC programokkal ellenőriztem. Ez a logikai szimulátor program nélkül végzett ellenőrzés elégséges, mivel a műveletvégző aritmetika tisztán logikai hálózat, ahol a kimeneti állapotot a bemeneti állapot egyértelműen meghatározza. A tároló cellák könyvtári elemek, ellenőrzésük nem szükséges. Az egész hálózat szinkron működésű, így ha a működési frekvenciára adott felső határt betartjuk, hazardok fellépésével sem kell számolnunk. A layout-terv a HT001-es raszteresre korrigált tervezési segédletén készült, s csak az eredmény került grafikus editor segítségével egy IBM PC/AT számítógépre.

Végezetül egyet kell értek azokkal, akik azt mondják, hogy kézzel ma már nem lehet hatékonyan chipet tervezni. A logikai terv layouttá fogalmazása közben azonban olyan problémákkal találkoztam, melyeket egy elhelyező és huzalozó program nehezen kezelt volna, mivel – mint látható volt – a sebesség növelése, a helyszűke, többször kényszerített alternatív megoldás keresésére, s csak a logikai és layout terv együttes finomítása vezetett sikerre.

A cikkben az IC tervezés szép és nehéz feladatainak megoldását mutattam be, azzal a reménnyel, hogy a leírtak nemcsak egy tervezési metodikát ismertetnek, hanem egy, a közeljövőben megvalósuló termékről is tájékoztatást adnak.

IRODALOMJEGYZÉK

- [1] Dr. *Tarnay Kálmán* szerk.: Mikroelektronikai berendezésorientált áramkörök tervezése; EDUSYSTEM Oktatásfejlesztési Pjt., 1984
- [2] CMOS Tervezési segédlet; HTSz, 1983