

Hogyan tovább . . . ? ESSDERC '87

Az Európai Szilárdtest Eszköz Kutatási Konferenciák sorozatában az idei rendezvény már a 17. volt, és legalábbis külsőségeit, a rendezés nagyvonalúságát, a résztvevők számát tekintve mit sem veszített jelentőségéből. Ez a konferencia, amely a félvezető eszközök működésével, fizikájával és technológiai problémáival foglalkozó legprominensebb európai rendezvénysorozat, jó keresztmetszetét adja az európai országokban ezen a területen folyó kutatómunka eredményeinek és kitekintést nyújt a világ élvonalbeli kutatóhelyeinek törekvéseire is a tekerítő résztvevők és főleg a meghívott előadók beszámolóí révén. Az idei rendezvényre Bolognában került sor szeptember 14. és 18. között, és ez a rendezvény is kapcsolódott a legrégebbi európai egyetem fennállásának 900 éves jubileumához, melyet jövőre ünnepelek a romagnai fővárosban. A konferencia 600 fölötti résztvevője 20 országból érkezett. Ahogy a szervezőbizottság elnöke, Soncini professzor kiemelte, a bejelentett előadások száma is rekordnagyságú volt, a 380 beérkezett jelentkező közül csak 200 kerülhetett a négy szekcióban párhuzamosan folyó előadások listájára beleértve a poszter-előadásokat is. Az előadások között egy magyar reprezentáns is szerepelhetett: Erdélyi Katalin (MFKI) és Knapp Gábor (MEV): „A new SCR parameter extraction method to help design for reliability in CMOS circuits” c. munkája, amely a CMOS áramkörök parazita „latch-up” problémáit tárgyaló szekcióban került ismertetésre. Ezen az előadáson kívül mindössze egy NDK-beli, gette-rezssel foglalkozó előadás és egy jugoszláv poszter képviselte a keleteurópai kutatást. Szembetűnő volt, hogy míg 8—10 évvel ezelőtt több szocialista országbeli képviselőt is találhattunk az ESSDERC szervező- ill. tudományos bizottságában, és éveken át magyar képviselő is tagja volt a vezérkarnak, mára még egyetlen szekcióelnöki megbízás sem jutott kelet-európai szakembernek és mindössze 10 NDK-beli, lengyel, bulgár és magyar résztvevő lehetett az események tanúja.

A konferencián érezhető volt a nyomasztó amerikai és japán fölény, az élenjáró európai cégek is jobbára az USA-ban tapasztalatot szerzett kutatóikkal képviseltették magukat. Ez a konferencia tematikájánál fogva elsősorban az átfogó jellegű, komplex alkalmazásokkal foglalkozott, így az egyes részterületeken kétségtelenül meglévő kiemelkedő európai eredmények nem itt, hanem az egyre nagyobb számban megrendezésre kerülő szakkonferenciákon érvényesülnek.

Világújdonságok bejelentésére a korábbi gyakorlat ellentétben az ESSDERC ma már aligha számít alkalmas fórumnak, hiszen ez az évente

megrendezett IEEE International Electron Device Meeting hagyományává vált. Így különösebb izgalmak nélkül szemlélhettük, tisztes távoból a „nagyok” kísérleteit problémáik megoldására. Az alábbiakban néhány főbb tendenciára szeretnénk rávilágítani a szűkebb szakterületünkön, a szilícium alapú eszközök kutatása területén megnyilvánuló irányzatok kapcsán.

Általános irányzat az eszközméretetek további csökkenése és az integráció, az áramköri komplexitás növelése. Ma már kutatási szinten az ULSI és a szeletszintű integráció, a WSI problémái vannak napirenden. Ez elsősorban két irányú kutatást igényel, egyrészt a technológiai műveletek felbontóképességének, homogenitásának javítását, másrészt a méretcsökkenés következtében fellépő ún. 3 dimenziós eszközfizikai problémák, stabilitási kérdések megfelelő kezelését ill. az ehhez szükséges számítógépes támogatás, CAD szimuláció kifejlesztését.

A síkban való terjeszkedésnek minden bizonyítást vet a vezetékhez hosszának drasztikus növekedése, ami a kétdimenziós integráció sebességi korlátját fogja jelenteni már a nem túl távoli jövőben, viszonylag kisebb gond a megnövekvő disszipáció. Ezért már a 90-es évek derekán jóslják japán kutatók a 2D integráció telítődését. Ez a perspektíva újabb lökést ad a harmadik dimenzió felhasználására irányuló törekvéseknek. Ezen a konferencián a 3D integráció alaptermotechnológiája, a szigetelőre rétegelt szilícium (SOI) technológia külön hangsúlyt kapott egy SOI műhely előadásain, melyet az Electrochemical Society támogatásával rendeztek. A chipméret a 3D integrálással korlátok között tartható, növelve ezzel a működési sebességet a rövid jelutak révén, és új kapcsolástechnikai megoldások lehetősége is biztosítottnak látszik a nagyfokú párhuzamosítással ill. pl. a kimenőfokozatok multiplex módon történő felhasználásával.

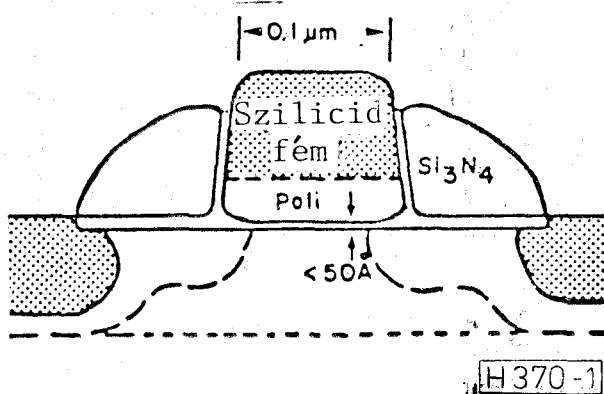
Új működési elven alapuló eszközök elsősorban a ballisztikus (ütközésmentes) töltéstranszport alkalmazásán alapuló PBT (permeable-base-transistor) jellegű struktúrák, melyek kutatása intenzíven folyik főleg a III—V félvezetőkben, de újabban szilíciumon is. Ezek az eszközök a ma elképzelhető legnagyobb transzkonduktanciát szolgáltatják adott területen, és planáris technológiai megvalósításuk esetén, amire már van példa, egy új integrált áramköri család alapelemeivé válhatnak. Újdonság az optikai jelfeldolgozás lehetőségének egyre kézzelfoghatóbbá válása integrált LiNb₃ és GaAs szerkezetekben, ez a technológia már az elektronikus jelfeldolgozás-utáni korszak technológiája lesz.

Ezen a konferencián tehát a méretcsökkentéssel kapcsolatos eszközfizikai és technológiai kérdések

Beérkezett: 1987. X. 7.

álltak a középpontban. Kutatási szinten Európába is a szubmikronos technológiák állnak, még egy-egy mérési eljárás, minősítési módszer alkalmazása kapcsán sem említettek $2,5 \mu\text{m}$ vonalszélességnél nagyobb tervezési szabályokkal készült eszközt. A hazai gyakorlatban fellépő problémák jobbára megoldottnak tekinthetők európai szinten, így ez a konferenciai is a jövő problémáit tárgyalta a mi szemszögünkből nézve.

A 14 meghívott előadó közül 3 USA, 2 japán, 2 francia és 1—1 holland, belga, angol, nyugat-német, svéd és görög volt. Egyik legérdekesebb előadás az IBM részéről hangozott el elszármazott honfitársunk, Sai-Halász György tolmácsolásában, és jól mutatja, hogyan alapozza meg egy világcég stratégiai döntéseit a kutatás-fejlesztési politikában. Egy kísérletsorozattal arra a kérdésre kerestek választ, hogy az egytized mikrométer alatti csatornahosszúságú szilícium eszközök esetében jelentkezik-e a sebesség szaturáció, a sebesség túllövés (velocity overshoot) vagy a ballisztikus elektrontranszport, és milyen késleltetési idővel ill. működési sebességgel lehet számolni ebben a mérettartományban, azaz van-e perspektívája a szilíciumnak a nagyobb működési sebességért folytatott versenyben. Az 1. ábrán látható keresztmetszeti NMOS eszközt négy fotolitográfiai művelettel alakították ki a legegyszerűbb LOCOS technológiával elektronsugaras rezisztával. A chip méretet az elektronsugaras reziszt művelet pontossága ($\sim 50 \text{ nm}$) korlátozta $0,25 \times 0,25 \text{ mm}^2$ -re, ezen belül néhány tized nm-es alakzatok kialakítása volt lehetséges a szeleten. A LOCOS szigetelés csak $0,25 \mu\text{m}$ -es struktúrák kialakítását tette lehetővé az aktív terület szintjén. Az ábrán látható MOS tranzisztor kb. $0,1 \mu\text{m}$ -es As source-drain diffúzióval és a spacer-technológia alkalmazásával As ill. Sb implantált LDD területekkel, a gate két oldalán $0,05 \mu\text{m}$ mély átmeneteket alakított ki. A rövid szaggatott vonal a bórimplant maximális koncentrációjának mélységét jelöli. A vertikális szerkezet a gaten megfelelő a laterális méretcsökkenésből következő arányos méretcsökkentés (scaling) szabályainak, a gateoxid vastagsága $35\text{—}50 \text{ \AA}$ lett. A rendkívül alacsony szintű



1. ábra. A kísérleti NMOS eszköz keresztmetszeti rajza. A source és drain szilicid réteg alatti szaggatott vonal az n-p-átmenetet jelzi, a rövid szaggatott vonallal az implantált bórprofil maximumát jelölték. (G. Sai Halász után)

terminál-feszültségek még kisebb oxidvastagságnál sem okoztak volna számottevő tunneláramot, de megbízhatósági okokból ezt a tartományt választották. A szerkezet 20 Ohmcm -es p-Si szubsztráton készült 1600 \AA -ös téroxiddal. A gate-kialakítása RIE mart fémréteges lift-off technikával történt, valamennyi oxidációs ($\text{O}_2 + \text{HCl}$, $800 \text{ }^\circ\text{C}$) és hőkezelési művelet konvencionális diffúziós kályhában folyt.

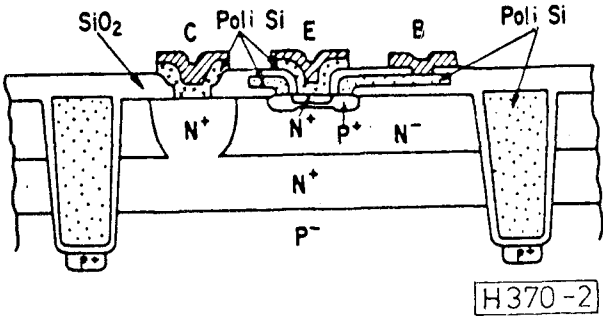
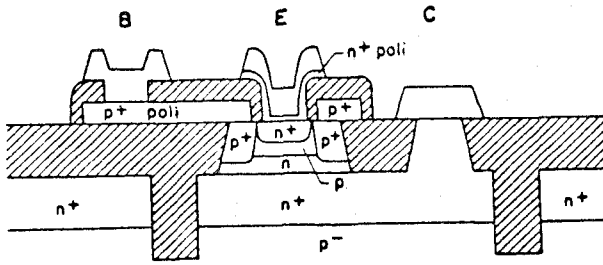
A kísérleti eszközök nyírásfeszültsége $0,15 \text{ V}$ körül volt cseppfolyós nitrogén hőmérsékleten, mert a küszöbfeszültség alatti áram csak itt volt 20 mV/dekád értéken tartható. Nem elhanyagolandó, hogy ezen a hőmérsékleten a fémes vezetőképeség is mintegy hatszorosára nő. Nyitóirányban előfeszített, $V_{SB} \sim 0,5\text{—}0,7 \text{ V}$ szubsztráttal és $V_{DD} \approx 0,6\text{—}0,7 \text{ V}$ tápfeszültséggel működtetve egy 61 fokozatú ringoszillátorral—állítása szerint— az eddig legnagyobb sebességű MOS működést sikerült realizálniuk, egy tranzisztor késleltetése $\tau = 20 \text{ ps}$. Mellesleg jegyezzük meg, hogy SIT-CMOS eszközökkel, lényegesen bonyolultabb szerkezettel, J. Nishizawanak szobahőmérsékleten is sikerült 10 ps alatti működést elérnie—személyes közlés alapján.

Talán nem érdektelen hangsúlyozni, hogy ezt a kísérletet az IBM-nél 7 különböző teszt-chipen, 3 db egyenként 8 gyűrűsoroszillátort tartalmazó és 4 paramétermérést lehetővé tevő chipen végezték, és mindössze 12 db szeleten. Az igaz, hogy a chipkihozatal 75% -os volt a minimális, 70 nm vonalfelbontású megmunkálás ellenére,

A kísérlet konklúziója, hogy megfelelően megválasztott minimális működési feszültségekkel a szub-tizedmikronos tartományban is normálisan működő NMOS áramkörök alakíthatók ki anélkül, hogy a sebességtúllövés, vagy a ballisztikus effektusok szerepet játszanának. Ezért tehát a szilícium minden bizonnyal megőrzi vezető szerepét a kommersz áramköri technológiában.

Ezt látszik igazolni az a fejlődés is, ami a bipoláris eszközöknél az utóbbi években végbement. Szintén IBM-es kutató, T. H. Ning mutatott rá, hogy gyakorlatilag valamennyi korszerű bipoláris technika, követve a scanline elvét, a 2. ábra tanúsága szerint három fő ismérvvvel jellemezhető: az önillesztett bázis kialakításával, az árkolt oxidszigetelés alkalmazásával és a polikristályos szilícium emitter elterjedésével. Szinte valamennyi nagy cég hasonló elvek érvényesítésével szabadalmaztatta különböző márkaneven eljárásait, és ért el $0,4 \mu\text{m}$ -es emitter csíkszélesség mellett önillesztett ECL és NTL struktúrákon 30 ps alatti késleltetési időket.

A polikristályos emitter már csaknem tíz éve áll az érdeklődés középpontjában. Úgy tűnik, hogy a korábbi kísérletekkel ellentétben megbízhatóan csak a legtisztább, oxidmentes ablakba leválasztott poli-Si réteggel kaphatók az emitter hatásfokot növelő eredmények. Ez viszont felveti a poli-Si átkristályosodásának kérdését, ami többször is vitatott volt ezen a konferencián is. Az átkristályosodást támasztotta alá egy TEM vizsgálat a határátmenet környezetéről $900 \text{ }^\circ\text{C}$, 10 min .



1. ábra. Két korszerű bipoláris tranzisztor struktúra keresztmetszeti képe a három alapvető jellemző tulajdonság szemléltetésére: i) önillesztett bázis kontaktus, ii) mély árkolt oxidszigetelés a kapacitások csökkentésére és iii) poliszilícium emitter kontaktus. (T. H. Ning után).

hőkezelés után As adalékolt poli-emitteres struktúrán, ami együtt járt az emittorellenállás drasztikus csökkenésével 5–10 Ohmra, szemben egy azonos szerkezetű 800 °C-on 45 min-ig hőkezelt minta 25–30 Ohmos emitter-kontaktusellenállás értékeivel. A magas emitterkoncentráció miatt immár nincs szükség a bázis-adalékolás csökkentésére a minimális méretű eszközök áramerősítésének növeléséhez ill. szintentartáshoz, és elhanyagolható a keresztátszűrás veszélye is. A bipoláris technológia visszatérő problémája a teljesítménydisszipáció. Ennek megoldása feltehetően az ún. OBL (complementary bipolar logic) lesz, amely CMOS analógiára e eszközök alternatív működését teszi lehetővé.

Egyre terjed a bipoláris és MOS technikák előnyeit ötvöző BIMOS ill. BICMOS technológia. Bár ez a technika természeténél fogva nem a minimális mérettartományban hódít, hiszen közepes ill. nagyfeszültségű alkalmazási területeken jöhet számításba, kutatási szempontból elsősorban az összetett technológiai műveletsor, a kívánt 14–18 maszkos megmunkálás miatt igen nagy kihívást jelent. Ára ugyan még a 10–12 maszkos bipoláris technológia fajlagos költségeinek is 1,3-szorosa, de a jobb területkihasználás (kisebb MOS logika), és emiatt nagyobb megbízhatóság következtében ez is megfizethető.

Igazi kutatási stádiumban levő téma a jövő nagy ígérete, a 3D integráció. A Mitsubishi Electric kutatója, Y. Akasaka tartott egy nagyon érdekes összefoglalót arról, hol is tart ma a világ, elsősorban Japán ezen a területen.

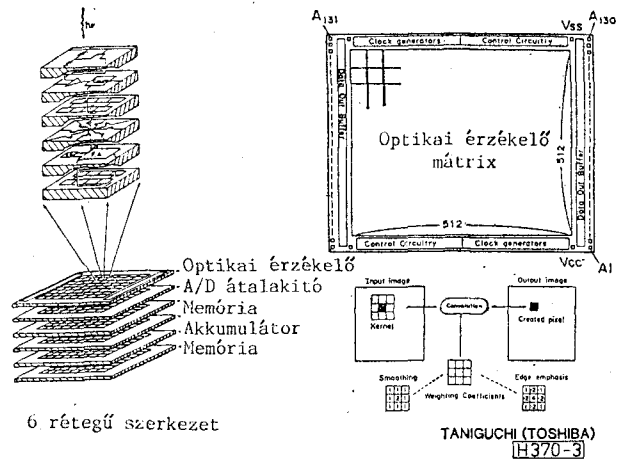
A polikristályos Si rétegek zónás egykristályosítására kialakult technikák, az elektronsugaras,

lézeres, halogén-lámpás hőkezelések, az interferencia-jelenségek, antireflektív bevonatok alkalmazásával lehetővé vált részben maszk-nélküli átkristályosítási eljárások nagy lökést adtak a SOI technikának. Időközben kifejlődtek azok az alkalmazási területek is, melyek igénylik az ezek megoldására szinte predestinált bonyolult technológia elterjedését.

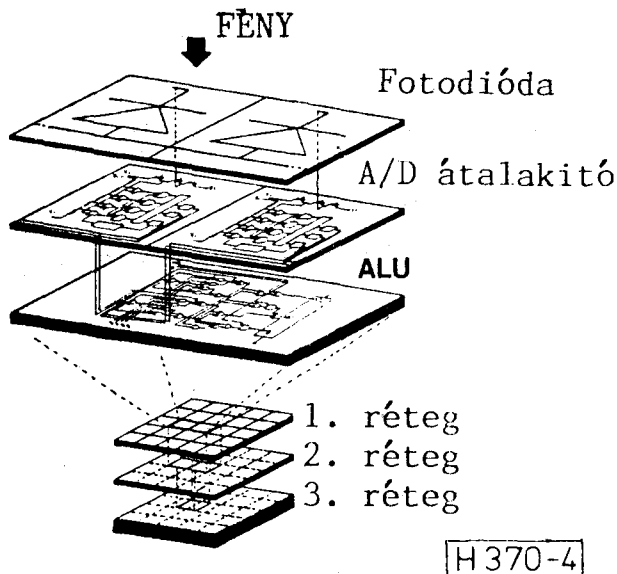
Elsősorban a real-time képfeldolgozás területe kínálkozik applikáció gyanánt. A számítások szerint 10 MHz-es órajellel működő, a félvezető képátalakítóból, annak meghajtóáramköréből, a memóriából, jelprocesszorból és személyi számítógépből álló feldolgozó egység és az ezt követő digitális-analóg jelátalakítás a képernyő meghajtásához konvencionális 2 dimenziós integrált megvalósítás esetén 226–265 ms/kép sebességet tesz lehetővé a képfeldolgozásnál. Ez az érték a már említett okok miatt egy majdnem 3 dimenziós integrálással 5 μ s/kép sebességre növelhető, azaz egy-egy kép feldolgozására szolgáló idő csaknem öt nagyságrenddel csökkenthető!

A 3. ábra mutatja azt a 6-rétegű emeletes struktúrát, amely a legfelső rétegben tartalmazza az integrált optikai képátalakítót, alatta az analóg/digitális átalakítót, memóriát, kapcsolómátrixot, akkumulátort és képmemóriát. A chipméretet gyakorlatilag a képátalakító mérete szabja meg, a kimeneti puffer áramköröket is itt lehet elhelyezni.

Persze egy ilyen hatrétegű struktúráig még hosszú az út. A 4. ábra mutatja azt a 3-rétegű testáramkört, amelyet kísérletileg megvalósítottak. Ez az 5 \times 5 képelemet tartalmazó 8 \times 8 mm² területű chip már képes az alapműveletek elvégzésére. Mint hallottuk, az első alapréteg NMOS, a felső két emelet CMOS technikával készült, és a felső szint tartalmazta a fotodiódamátrixot. A 3 μ m-es technológiánál nem annyira az egyre csökkenő kristály-perfekció következtében szintén romló mozgékonyssággal, mint inkább az egyre növekvő mozgékonyság-szórással volt probléma. Az egymásra fektetett egykristályos rétegeket a pol-Si átkristályosításával egy-egy magból <100>



3. ábra. Egy hatrétegű háromdimenziós integrált ohipen megvalósítható real-time képfeldolgozó egység javasolt felépítése (Y. Akasaka előadásából).



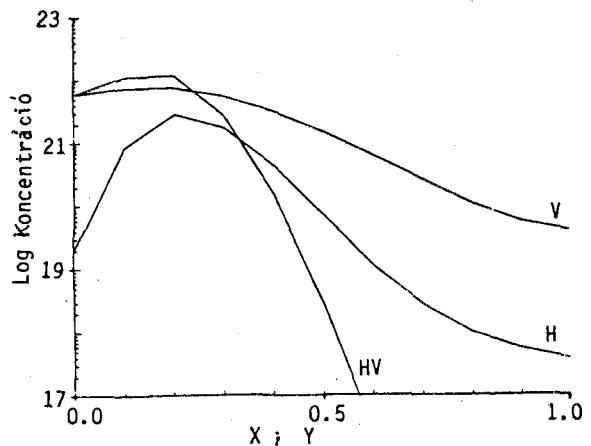
4. ábra. Egychipes képfeldolgozó egység megvalósítása (Y. Akasaka után).

kristálytani irányban csaknem 1,5 mm hosszon megbízhatóan lehet növeszteni, bár ennek az egykristályos mag-hálózatnak a megfelelő átvezetése a szigetelő oxidon a rétegek számával arányosan egyre nehezebbé válik. Speciális probléma az egymásra rétegelt szubsztrátumok közötti átvezetések kialakítása vezető anyag szelektív növesztésével az oxidrétegen reaktív ionmárt lyukakba. De a legnagyobb feladat az így létrejövő és rétegenként szekvenciálisan fotolitografált és adalékolt szerkezetben olyan hőkezelési ciklusok alkalmazása, természetesen alacsony hőmérsékleten, ami reprodukálható adalékprofil-beállítást tesz lehetővé lavamennyi rétegben egyidejűleg.

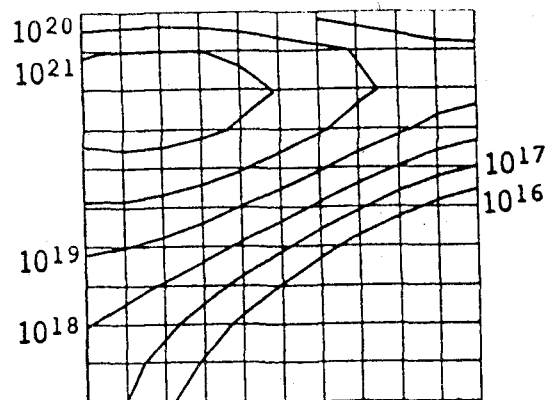
Bár ez a technológia nem olcsóságával fog kitűnni konkurensei közül, és még számos, a technikában inherens probléma, mint az áthallás és a nagy specifikus disszipáció egy adott térfogat-egységben még megoldásra vár, a fejlesztők 2000-re már kereskedelmi forgalomba kerülő komplett real-time képfeldolgozó VLSI áramkört ígérnek 3D integrációval.

Felmerülhet a kérdés, hogy az egyre csökkenő méretek mellett, a három dimenziós effektusok hétköznapivá válása következtében alkalmazhatók-e még a szokványos mérési, minősítő-módszerek, amelyeket technológia-közi ellenőrzésre az elmúlt húsz évben rendszeresítettünk? Hogy ez mennyire problematikus, annak illusztrációjaként egy a Plessey angol cég által kifejlesztett két-dimenziós adalékprofil-mérő eljárást említünk. A nagyfelületű mintán diffundáltatott adalékprofilok roncsolásos felvétele általánosan anodikus oxidációval kombinált rétegelőállásmérésen vagy ferdeciszolaton végzett terjedési ellenállásmérésen alapul, esetleg kalibrált SIMS profilra épül. Az elsőként említett módszer látszik egyedül alkalmasnak arra, hogy megfelelő tesztalakzaton az adalékolt területekhez kialakított polikristályos Si-hozzávetés beiktatásával három különféle mérés eredményének számítógépes kiértékelésével

kétdimenziós adalékkoncentráció eloszlást szolgáltatson pl. egy oxidablak sarka környezetében (ld. 5. ábra). Ehhez szükség van egy nagyfelületű „egydimenziós” alakzaton a hagyományos, szukcesszív rétegeltávoltításos módon vertikális profil-meghatározásra. Ez az első bemenő függvény. Ezt követően egy másik alakzaton a diffúziós ablakon belüli területről anizotrópikus reaktív ionmarással eltávolítjuk az adalékolt térfogatot, úgy hogy csak az ominózus oldaldiffúziós perem maradjon érintetlen. Ezen a szerkezeten az anodikus oxidáció-oxidmarás- R_s -mérés ciklusokat két különféle módon hajtjuk végre: a maszkoló oxidréteg meghagyásával csak laterális irányban és felületi oxidréteg védelme nélkül vertikális és laterális irányban egyidejűleg. Ez a három adathalmaz megfelelő algoritmussal elfogadható $\Delta X, \Delta Y \leq 100 \text{ \AA}$ felbontású profilt szolgáltat automatikus, számítógép-vezérelt üzemmódban. Egy-egy $X_j \approx 1 \mu\text{m}$



H370-5a



H370-5b

5. ábra. Az anodikus oxidációs profilmeréssel felvett három adathalmazból (5. a.) számítógépes illesztéssel generált kétdimenziós bór adalékkoncentráció (5. b.) kontúr-rajz egy diffúziós oxidablak sarka alatti területről. Az oxidablak a bal felső sarokban ($Y=X=0$) kezdődik. A normál x ill. y léptékben ábrázolt koncentráció profilokon V a vertikálisan (y) felvett, H a csak laterális (x) irányban regisztrált, HV a mindkét irányban egyidejűleg mért profilt jelöli. (C. Hill et. al után).

