

Kompatibilis I² C-IM BUS rendszer

DR. ÁBRAHÁM LÁSZLÓ
VIDEOTON Elektronikai Vállalat



DR. ÁBRAHÁM
LÁSZLÓ

Dr. Ábrahám László 1977-ben szerezte meg a Budapesti Műszaki Egyetemen a villamosmérnöki diplomát, és a VIDEOTON Elektronikai Vállalatnál áll munkába. 1979-ben nap-

pali szakmérnöki vörös diplomát kapott és 1980-ban doktorált tv-jelfeldolgozásból. Jelenleg a VIDEOTON Elektronikai Vállalat TV Gyárának TV Fejlesztési Osztályán csoportvezető és levelező aspirantúrát végez.

ÖSSZEFOGLALÁS

Európában jelenleg két BUS-rendszer terjedt el TV készülékek digitális vezérlésére. A két BUS-rendszer számos eltérést mutat, mind a vezetékek számát, mind a forgalom szervezését illetően. A két BUS-rendszer (I²C és az IM) kompatibilitási kérdései és a közösítési lehetőségek egy megoldása kerül ismertetésre Z 80-as mikroprocesszor segítségével.

Napjainkban a digitális technika erőteljesen bevonult a tv technikába. Már megjelentek az első digitális jelfeldolgozóval működő vevőkészülékek is. Ennek ellenére ma még csak az egyes integrált áramkörök digitális vezérlését lehet általánosnak mondani, de a jelfeldolgozást — egyenlőre — nem. Európában lényegében két BUS-rendszer terjedt el, amelyek széles körű felhasználást nyertek a fogyasztói elektronika számos területén. Ez a két BUS-rendszer az I²C és az IM, amelyeket a PHILIPS, illetve az ITT cégek fejlesztettek ki.

Az I²C BUS-t a PHILIPS cégen kívül sok más félvezető gyár is alkalmazza — pl. SIEMENS, MOTOROLA stb. —, így elterjedése szélesebb körű, mint az IM BUS-é. Az IM BUS mellett szól, hogy ezen BUS-rendszer felhasználásával született meg az első igazán digitális vevőkészülék, a DIGIT—2000, illetve az a tény, hogy számos igen jó konstrukciójú integrált áramkört vezérel az IM BUS, amelyek a DIGIT—2000 koncepción kívül is felhasználhatók. Pl. az UAA 2920 tunerhangoló integrált áramkör, az MDA 2061 védett memória területtel rendelkező IC és az ADC 2300, illetve az APU 2400 hangprocesszor kettős.

A konstruktóri szabadság megkövetelheti a két BUS-rendszer egy készüléken vagy éppen egy modulon belüli alkalmazását. A példa egyáltalán nem irreális, mert egy frekvencia szintézeres tunert pl. célszerű a SIEMENS gyártmányú SDA 3202 integrált áramkörrel felépíteni, míg a tuner nagyfrekvenciás hangolását lényegesen leegyszerűsíti az UAA 2920 tunerhangoló integrált áramkör alkalmazása. Az előbbi I²C míg az utóbbi IM BUS-rendszert használ. Vizsgáljuk meg mindkét BUS felépítését, működését, majd a lehetséges kompatibilitási kérdéseket.

Az IM BUS felépítése és működése

Az IM BUS-rendszer három vezetékkel foglal magába: Ident óra- és adatvezetéseket. A BUS

forgalommentes, nyugalmi állapotban mindhárom vezeték H szinten van. A forgalom megkezdésekor az Ident vezeték L szintet vesz fel, ami figyelmezteti az összes IM BUS-ra kapcsolódó integrált áramkört, hogy cím információ kiküldése következik. A cím soros formában jelenik meg az adatvezetéken az órajel lefutásakor, míg az órajel felfutó élére az éppen aktuális adatinformáció beíródik az összes integrált áramkör shift-regiszterébe. A 8. óraimpulzus felfutó élével szinkronban az Ident vezeték is H szintre kerül, ami parancsot ad az integrált áramköröknek, hogy hasonlítsák össze a shiftregiszterbe beíródott cím információt a saját — hardware programozott — címükkel. Csak az az integrált áramkör marad aktív a továbbiakban, amelyiknél a cím-egyezés fennállt (egy integrált áramkörnek lehet több IM BUS címe is). A következő 8 vagy 16 óraimpulzus hatására egy vagy két byte kerül továbbításra hasonlóan a cím információ kiküldéséhez, de ekkor az Ident jel mindig H állapotú, jelezvén, hogy adat és nem cím kerül kiküldésre. A forgalom irányát mindig az IM BUS címe határozza meg. A mikroprocesszorba irányuló forgalom esetén pl. memória IC olvasásakor az órajel felfutó élére küldi ki a megkérdezett integrált áramkör az új adatot, amelyből a mikroprocesszor az órajel felfutó élére vesz mintát.

Az adatforgalmat mind írás, mind olvasás esetén az Ident jel rövid idejű L szintje zárja le. Ez az impulzus ad parancsot a kiküldött információ feldolgozására, illetve jelzést ad, hogy több információ nem vár a mikroprocesszor. Az IM BUS jellegzetes jelalakjai az 1. ábrán láthatók, míg az 1. táblázat ad felvilágosítást a szükséges időzítésekről.

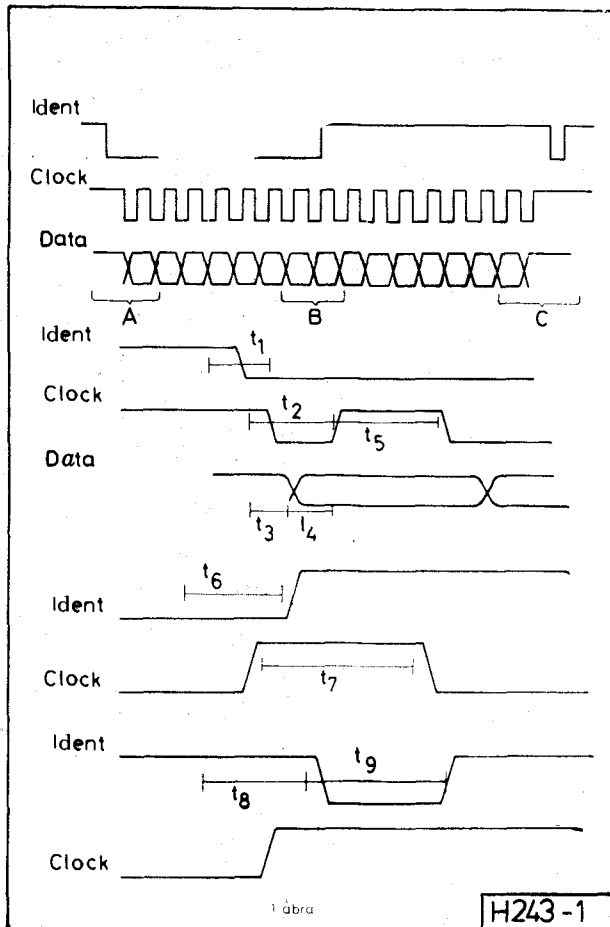
Összefoglalva az IM BUS leglényegesebb tulajdonságait, az alábbiakat lehet megállapítani:

- a) A forgalom kezdeményezője mind írás, mind olvasás esetében a vezérlő mikroprocesszor.
- b) A rendszerben 256 különböző IM BUS cím lehetséges, amelyek vagy csak írható vagy csak olvasható regisztereket címeznek meg.

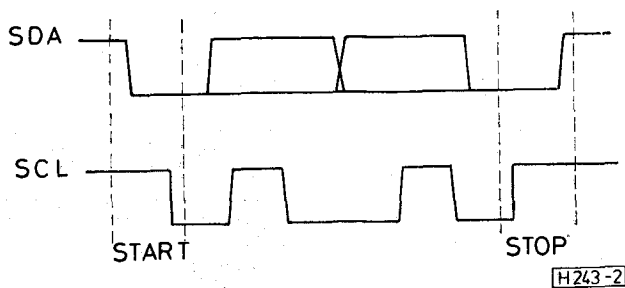
Beérkezett: 1986. VI. 2. (H)

1. táblázat

Részlet	Idő	Min. előírás usec.
A	t1	0
	t2	3,0
	t3	0
	t4	3,0
	t5	3,0
B	t6	0
	t7	1,5
C	t8	6,0
	t9	3,0



1. ábra. Az IM BUS forgalmának idődiagramja



2. ábra. Az I²C BUS forgalmának idődiagramja

- c) Az adatsomag hossza kizárólag 1 vagy 2 byte lehet.
- d) A maximális órafrekvencia 170 kHz, míg a minimális nincs korlátozva.
- e) A 3 BUS vezeték közül 2 egyirányú, míg a 3. kétirányú információ átvitelt bonyolít le.
- Most vizsgáljuk meg a másik BUS-rendszert.

Az I²C BUS felépítése és működése

Az I²C BUS csupán két vezetékből áll: óra (SCL) és adat (SDA) vezetékekből. A BUS forgalommentes, nyugalmi állapotban mindkét vezeték H szinten van. A forgalom a START feltétel kiadásával indul. A START feltétel azt jelenti, hogy az órajel H állapota mellett az adatvezetéken H—L lefutás történik, ami a forgalom más fázisában soha nem fordulhat elő. A START feltétel ad parancsot az összes I²C BUS-ra kapcsolódó integrált áramkörnek, hogy címként kezelje vagyis fogadja a következő 8 bit információt. Minden órajelre egy bit információ kerül a buszra. Az időzítés olyan, — lásd 2. ábrát —, hogy az éppen érvényes adat változatlan az órajel fel-, illetve lefutásakor és az adatváltozás kizárólag az órajel L szintje mellett történhet. Az egy byte címinformációból lényegében csak az első 7 bit jelent igazi címet — tehát csak 128 féle cím létezik — míg a 8. bit a forgalom irányát jelzi. A 8. bit magas szintje esetén írás, alacsony szintje esetén olvasás történik a megcímezett regiszterből, amely egy ugyanazon regiszter is lehet. Az egy byte információt minden esetben egy elfogadási bit zárja le, melynek során a 9. óraimpulzus hatására a forgalomban megcímezett integrált áramkör az adatvezetékre küldött L szinttel nyugtázza a hibátlan információ átvitelt. Ezek után kerül sor az adat byte-ot átvitelére, amelyet csak az az integrált áramkör fogad, amely az elfogadást generálja. Az adatforgalom hasonlóan zajlik a cím információ elküldéséhez. A forgalom irányát a 7 bit-es cím után kiküldött 8. bit határozza meg. Minden byte-ot a 9. elfogadási bit zárja le. A forgalmazott adatok mennyisége tetszés szerinti byte lehet. Az I²C BUS forgalmát a STOP feltétel zárja le, amikor is az órajel magas szintje mellett az adatvezetéken L—H felfutás történik. Ilyenkor a BUS nyugalmi helyzetben kerül a következő forgalom elkezdéséig.

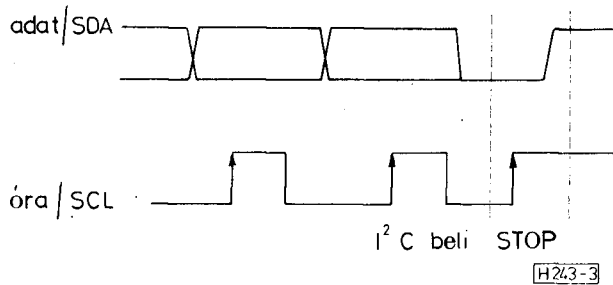
Az I²C BUS-ra kapcsolódó integrált áramkörök közül bármelyik kezdeményezheti az adatforgalmat, nincs egyik áramkörnek sem prioritása. Több integrált áramkör egyidejű forgalom kezdeményezését részben a BUS foglaltságának visszajelzése akadályozza meg. Ennek ellenére előfordulhat, hogy két áramkör pontosan egyszerre szólítja meg a BUS-t és rajta forgalmat kezdeményez. Ebben az esetben annál az áramkörnél marad a BUS vezérlése, amely az alacsonyabb című perifériát címezte meg, mert az L szintnek minden esetben prioritása van a H szint felett. Ez abból következik, hogy az egyes áramkörök nyitott kollektorral vagy drain-el kapcsolódnak az ellenállással H szintre emelt vezetékekre. A

vezérlést elvesztett integrált áramkör a BUS szabaddá válása után ismételten megkísérli az adat forgalmazását.

Az adatforgalom irányától és az adatforgalmat kezdeményező integrált áramköröktől függően 4 működési mód különböztethető meg:

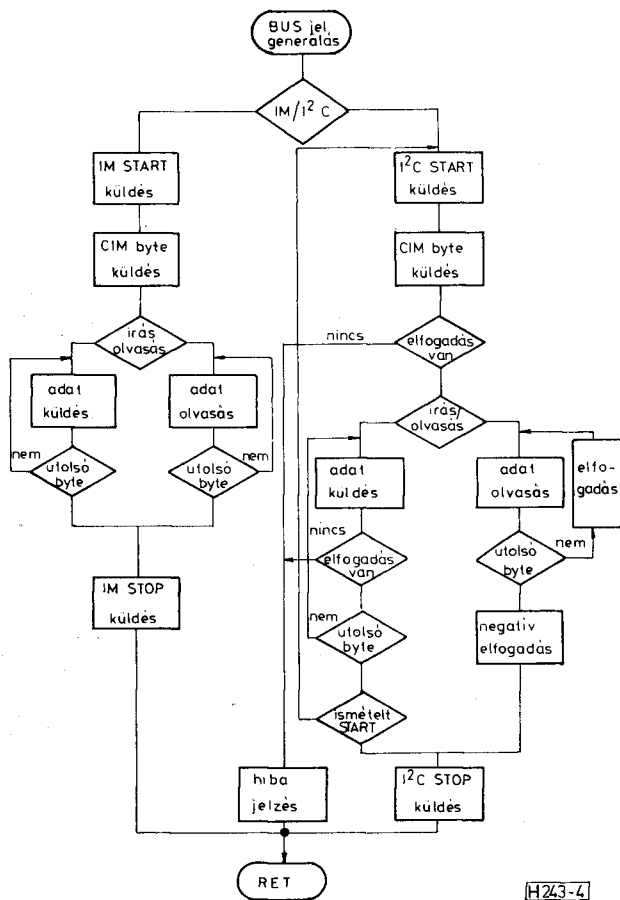
- a) Mester adó
- b) Mester vevő
- c) Szolga vevő
- d) Szolga adó

Az a) üzemmódot pl. az a mikroprocesszor valósítja meg, amely adatot küld egy perifériába. Ilyenkor a periféria c) üzemmódban működik. Egy memória IC kiolvasásakor az integrált áramkör d) míg a mikroprocesszor b) üzemmódot valósít meg.



H243-3

3. ábra. I²C BUS forgalmán belüli STOP feltétel kialakítása IM BUS forgalom esetén



H243-4

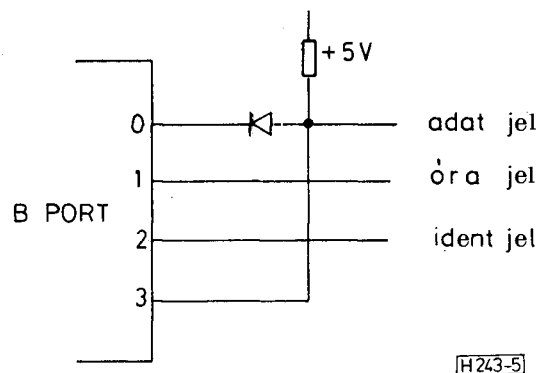
4. ábra. A BUS forgalmakat előállító program folyamatábrája

Az I²C Bus-ról az alábbi leglényegesebb tulajdonságok állapíthatók meg.

- a) Adatforgalmat több áramkör is kezdeményezhet (több mesteres rendszer).
- b) A BUS-rendszer 128 féle címet használ, de ezek — elvileg — mind írható, mind olvasható regiszterek lehetnek.
- c) Az adatcsomag hossza tetszőleges számú byte lehet, és a STOP feltétel kiadása előtt újbóli START felvétel is generálható, ezzel is növelve a protokoll rugalmasságát.
- d) Az órajel frekvenciája maximum 114 kHz lehet, míg a minimális 0,7 kHz.
- e) Mindkét vezetéken lehetséges a kétirányú adatforgalom (lásd több mesteres rendszert).

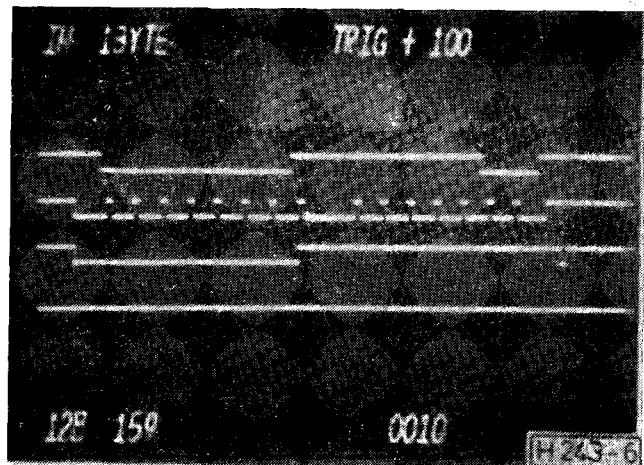
Az I²C és az IM BUS összehasonlítása

A két BUS-rendszer összehasonlítása során célszerű az összes jellemzőt sorra venni, kidomborítva az eltéréseket. Az első lényeges eltérés a BUS vezetékének száma: az IM BUS 3, míg az I²C BUS csupán két vezetékkel használ. Az adatvezetéseken kétirányú forgalmat kell biztosítani mindkét esetben, míg az óra, illetve az IM BUS esetén az Ident vezetéken is csak a mester integrált áramkörtől kell az adatátvitelt a szolga felé létrehozni. Ez igen fontos hasonlóság a továbbiak számára.



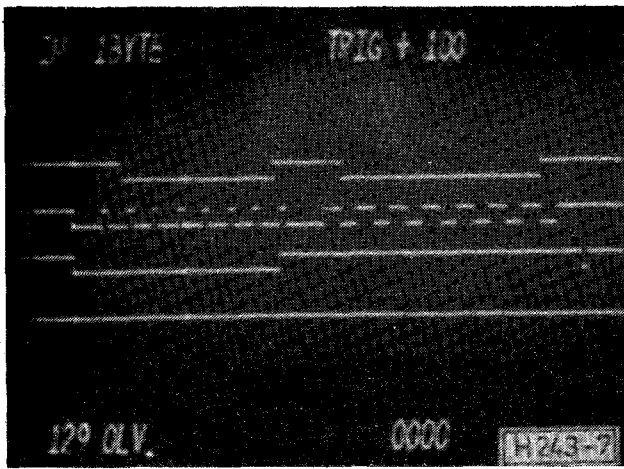
H243-5

5. ábra. A Z 80-as PIO-hoz illesztett kiegészítő kapcsolás

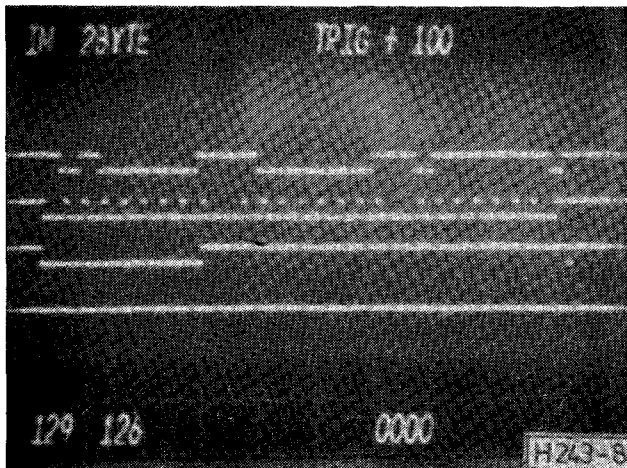


H243-6

6. ábra. A 159-es adat elküldése a 128-as IM címre



7. ábra. A 129-es adat kiolvasása a 129-es IM címről



8. ábra. A 129-es és 126-os adatok elküldése a 65-ös IM címre

Mindkét BUS-jelét egy-egy hardware egység állítja elő, amely utóbbi különböző vezérlő- és adat byte-okot vár a mikroprocesszorsoftware-étől. IM BUS esetén ezek a következők:

Egy regiszterbe azt az IM BUS címet kell beírni, amellyel a forgalmat ki kell alakítani. Két regiszterbe kell beírni az IM BUS elküldendő adatát, vagy ezen két regiszterben jelenik meg a vett adat. Egy további regiszter tartalmától függ a forgalmazás iránya (írás vagy olvasás) és hossza (1 vagy 2 byte). Ugyanezen regiszter egy bit-je jelzi a periféria foglaltságát. Tehát az IM BUS forgalmának létrehozása maximum négy regisztert igényel.

Merőben más filozófiát követ az I²C BUS hardware, noha itt is négy regisztert használ fel a mikroprocesszor. Az első regiszterbe a mikroprocesszor saját „szolga” I²C címét kell beírni. A másodikba a perifériát vezérlő byteot, amely meghatározza, hogy mester vagy szolgaként működjön-e a rendszer, adó, vagy vevő funkciót valósítson-e meg, kér-e kiszolgálást a periféria stb. (részletes leírást lásd az irodalmi hivatkozásban).

A harmadik regiszter a BUS sebességét állítja be, és dönt arról, hogy a forgalom elfogadási byte-al vagy anélkül történjen-e.

A negyedik regiszterből kerül az adat elküldésre, vagy vétel esetén ide érkezik be az információ. Természetesen minden elküldött vagy vett adat után kiszolgálást kér a hardware a mikroprocesszortól. Lényeges eltérés a két BUS rendszer között, hogy az IM BUS forgalma minden esetben a legkisebb helyiértékű bit-tel kezdődik, míg az I²C esetén a legnagyobbal.

Eltérő követelmények érvényesek az óra- és az adatjelek változásaira. Az I²C BUS esetén amíg az órajel magas, addig az adat nem változhat, mert ennek START vagy STOP feltétel jelentése lenne. Az IM BUS esetén az órajel lefutó élére képződik az adatvezetéken új információ, amelyet az órajel felfutó élével kell mintavételezni.

További igen lényegesnek tűnő különbség, hogy az IM BUS rendszer csak egy mesteres üzemmódot ismer, míg az I²C BUS lehetővé teszi a több mestereset is. Több adat tömör összehasonlítása a 2. táblázatban látható.

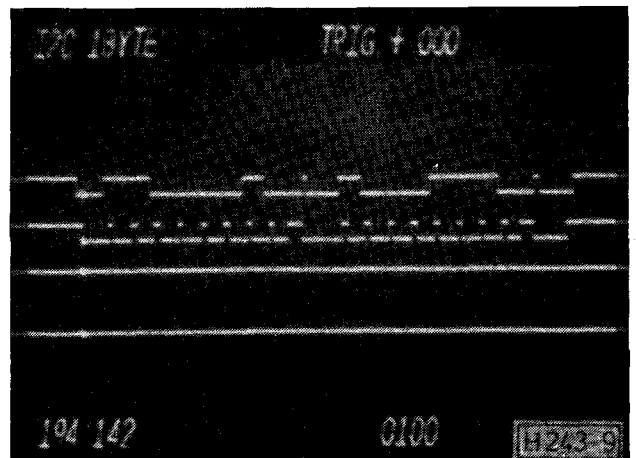
Összehasonlító táblázat

2. táblázat

	I ² C	IM
Vezetékek száma	2	3
Információ mennyisége	tetszés szerinti byte	1 vagy 2 byte
Cím	7+1 bit	8 bit
Forgalom nyugtázás	van	nincs
Helyiérték	MSB—LSB	LSB—MSB
Max. órafrekvencia	114 kHz	170 kHz
Adat- és óraimpulzus szélessége	meghatározott	tetszőleges
Működési mód	több mesteres	egy mesteres

A két BUS rendszer egyeztetése

Mint említettük, előfordulhat a két BUS-rendszer egyidejű, egy berendezésen belüli alkalmazásának igénye. Ilyenkor célszerűtlen mind az 5 (3+2) vezeték kiépítése, ill. a vezetékek végén lévő különböző generáló hardware-ek használata, mert az két különböző mikroprocesszort is igényelne.



9. ábra. A 142-es adat elküldése a 194-es I²C címre

Ezen teoretikus megoldás gazdaságossága erősen vitatható. Ezért célszerű a két BUS-jeleit software úton előállítani és lehetőleg minél több vezetékét közösíteni a minimálisan 3 vezeték elérése érdekében.

A kérdést egy más szempontból közelítve elmondható, hogy ma még és talán a közeljövőben is minden bizonnyal csak egy mikroprocesszor vezérel egy-egy készüléket. Ebben az esetben minden megkötöttség nélkül le lehet mondani az I²C BUS több mesteres üzemmódjáról, ami lényegesen egyszerűsíti a software felépítését. (Meg kell jegyezni, hogy létezik olyan tv készülék, amelybe 2 mikroprocesszort építettek be, de ennek oka a processzorok kis ROM kapacitásában keresendő és a többmesteres üzemmódot ennek ellenére sem használták.)

Az egy mesteres üzemmódot választva, felvetődik a kérdés, hogy milyen működési zavar áll elő az egyik BUS forgalmazása során a másik BUS-ban és ezt hogyan lehetne elkerülni, ha közösítjük az óra és az adatvezetéseket. Az I²C BUS forgalma esetén semmilyen zavar, vagy téves információ kiküldése nem fordulhat elő az IM BUS-ban, mert az Ident jel állandóan H szinten maradhat, így egyik integrált áramkör sem kerülhet kiválasztásra. Az IM BUS forgalma esetén nem ilyen egyszerű a helyzet. Az biztos, hogy az Ident jel impulzusai nem zavarják az I²C BUS-ra felfűzött áramköröket, hiszen azt meg sem kapják, de az adat és órajelek fel- és lefutása már zavart okozhat. Zavarok csak abban az esetben keletkezhetnek ha az I²C BUS-beli hamis START feltétel teljesül. A STOP feltétel előfordulása semmilyen zavart sem okoz, mert ezt akkor is megkapja az integrált áramkör, ha egy másik IC-vel fejeződik be az I²C BUS-beli forgalom.

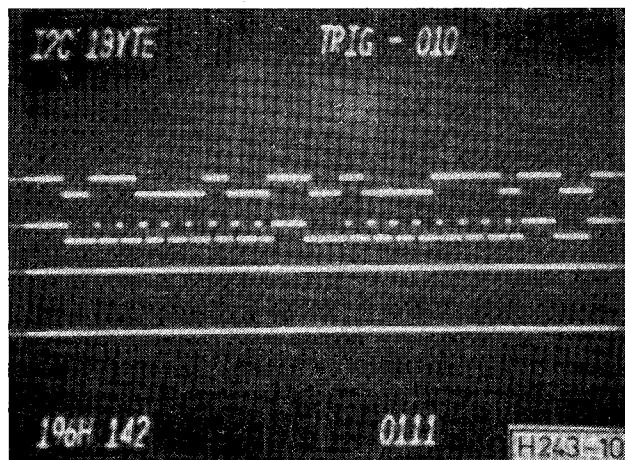
Ennek megfelelően az IM BUS forgalmazása során be kell tartani az I²C BUS adat- és órajeleire vonatkozó előírásokat. Ez azt jelenti, hogy a forgalom megkezdésekor először az óravezeték kell L szintre kapcsolni, majd csak ezt követően szabad az adatvezeték is. Információ kiküldés esetén szintén előbb kell az órajelet L szintre állítani, mint az adatvezeték értékeit módosítani. (Noha ez eltér az eredeti IM BUS előírásától, mégis közöttük ellentmondás, mert a mintavételezés a felfutó élre történik.) Adat vétele esetén a mikroprocesszor órajeleének lefutó éle készíti a lekérdezés alatt álló integrált áramkört újabb adat kiküldésére. A mindig meglévő késleltetések miatt az órajelet már alacsony L szinten van amikor az adatvezetéken le- vagy felfutás történhet. Így ebben az esetben sem képződhet START vagy akár STOP feltétel. Egyedül az IM BUS forgalmának legvégén állhat elő I²C BUS-beli parancs, ahogy ez a 3. ábrán látható. Ha az utolsó küldött, vagy vett bit értéke nulla volt, akkor az utolsó mintavétel — az órajelet utolsó felfutó éle — után az adatvezetéken szükséges még egy L—H átmenet, hogy a BUS elérhesse nyugalmi állapotát. Ez szerencsére csak egy I²C BUS rendszer belső STOP feltételt állít elő, aminek nincs zavaró hatása.

Ezen megfontolások után lehetőség van a két BUS jeleinek közös software úton történő előállítására.

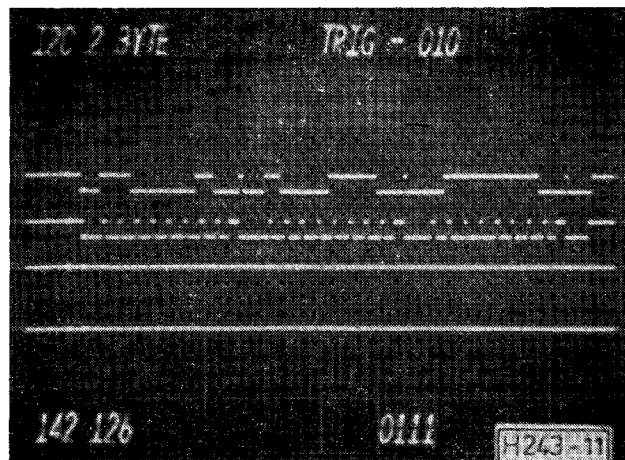
A közös BUS jeleit generáló software felépítése

A software subrutin-ként lett kialakítva, ennek folyamat ábrája a 4. ábrán látható. Az IM BUS jeleinek előállítása tiszta és áttekinthető. Az I²C BUS jeleinek előállítása már egy kicsit összetettebb. Cím- és adatküldés esetén figyelemmel kell lenni arra, hogy a 9. óraimpulzusra ad-e választ, vagyis elfogadást a megcímzett integrált áramkör. Az elfogadás hiányában hibajelzésről kell gondoskodni és vissza kell adni a vezérlést a főprogramnak. A főprogram dönthet arról, hogy újból megkísérli-e a forgalmazást, vagy más feladathoz kezd. Az adatok elküldése után szükséges lehet a START feltétel újbóli generálása. Ekkor a subrutin STOP feltétel generálása nélkül újból indul, mintha új forgalom kezdődne.

Adatolvasás esetén nincs szükség az újbóli START feltétel létrehozására, viszont gondoskodni kell az elfogadás bit előállításáról. Az utolsó byte elküldése után az elfogadás hiánya — negatív



10. ábra. A 142-es adat sikertelen — acknowledge nélkül — elküldése a 196-os I²C címre



11. ábra. A 412-es és 126-os adatok elküldése a 194-es I²C címre

elfogadás — jelzi az információt küldő integrált áramkörnek, hogy több byte-ot nem vár a vezérlő mikroprocesszor.

A forgalmat mind írás, mind olvasás esetén a STOP feltétel zárja, le majd a vezérlés visszakerül a főprogramhoz.

A software megvalósítása Z 80-as rendszerben

A fenti software — demonstrációs példaként — a SPECTRUM ZX személyi számítógépre készült, gépi kódban. Perifériaként a Z 80-as PIO integrált áramkör szolgált az 5. ábrán látható minimális hardware kiegészítéssel.

Az ellenállás és a dióda azért szükséges, hogy az adatvezeték kétirányúvá lehessen tenni, vagyis az adatot a periféria 0-ás bit-je küldi, míg a tényleges adatot a 3-as bit figyeli. Ezzel a megoldással kvázi kétirányú lett a BUS-rendszer adatvezetéke és alkalmassá vált adatok olvasására, illetve az elfogadások figyelésére. Természetesen ebben az állapotban a 0-ás bit H szintet bocsát ki és az adatvezeték használó másik integrált áramkör állítja be az adat L vagy H szintjét.

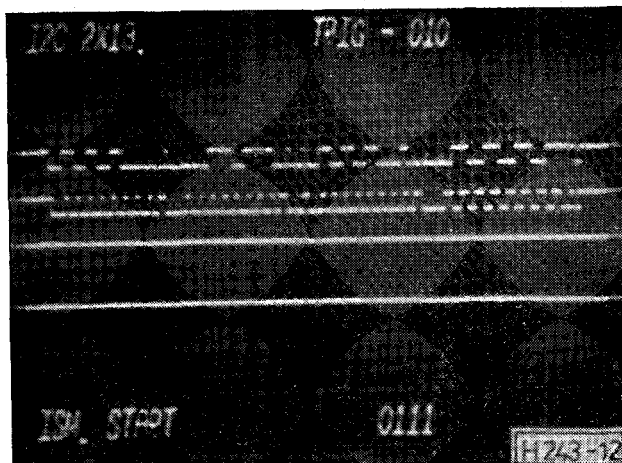
A teljes gépi kódú program ismertetése hely hiányában nem lehetséges, csak a főbb mozzanatokra térünk ki. A subrutin meghívásakor kiértékeli a program a vezérlő byte-ot, amely az alábbi vezérlő biteket tartalmazza.

	7	6	5	4	3	2	1	0
1	IM BUS	olvasás	START					
0	I ² C BUS	írás	nincs START	Byte-ok száma				

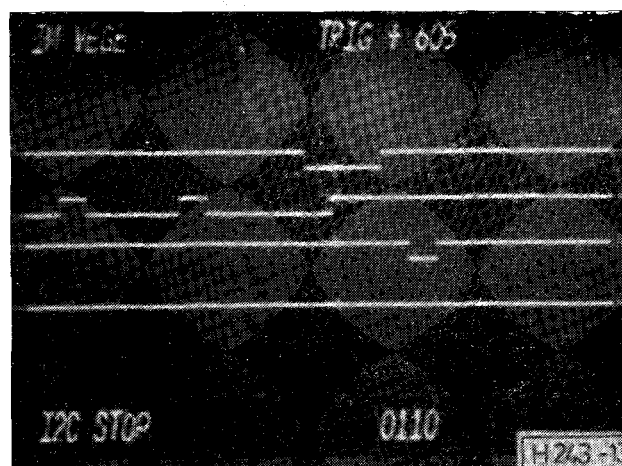
A 6. és 7. bit az üzemmódot állítja be. Az 5. bit az ismételt START feltétel képzésénél fontos I²C BUS esetén. Az utolsó 5 bit 3I byte elküldését vagy olvasását teszi lehetővé. A gyakorlatban ennél több byte egy forgalmon belüli megjelenése nem fordul elő.

A vezérlő byte-ot a BUS címe követi a memóriában és annyi adat byte, ahányat a vezérlő byte meghív. Olvasás esetén a cím byte-ot követően emelkedő sorrendben kerülnek beírásra a vett byte-ok és azokat a vezérlés visszaadása után érheti el a főprogram. Három példán szeretném bemutatni az adatok és vezérlő byte-ok elhelyezkedését a memóriában.

Vezérlő byte	10000001	00100001	00100001
Cím	10000001	10000000	10000000
Adat	11000000	00100000	10000000
Újabb vezérlő byte	————	XX0XXXXX	01100010 11111111
1 byte elküldése IM BUS-on	1 byte elküldése I ² C BUS-on	1 byte elküldése I ² C BUS-on	1 byte elküldése I ² C BUS-on és ismételt starttal adat-olvasás
cím 129 adat 192	cím 64/írás adat 32		cím 64/írás adat 128 cím 64/olvasás adat 255



12. ábra. Adat olvasás I²C címről ismételt start segítségével



13. ábra. Az IM BUS forgalmának végén előforduló I²C BUS forgalmának végét jelző STOP feltétel

A Z 80-as rendszerrel sikerrel lehetett írni és olvasni mind az I²C, mind az IM BUS-os integrált áramköröket. A rendszer más, akár egy chipes mikroprocesszoron is megvalósítható, figyelembe véve a processzor utasítás készletét. Célunk csupán az volt, hogy feltárjuk a két BUS összekapcsolásának lehetőségét és gyakorlatát. A 6—13. ábra felvételei jól mutatják a BUS forgalom esetén fellépő időzítéseket vagyis azt, hogy az egyik típusú BUS forgalma nem zavarja a másikat és viszont. Mint láttuk ez némi korlátozással jár ugyan, de a tv készülékek területén ez nem jelent megkötöttséget.

IRODALOM

- [1] ITT: DIGIT 2000. Gyári kiadvány 1985.
[2] Philips: Technical publication 022.