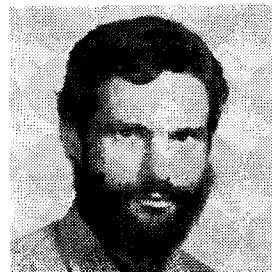


# Nagy kapacitások meghajtása MOS LSI áramkörökben

NEMES MIHÁLY

Budapesti Műszaki Egyetem Híradástechnikai Elektronika Intézet



## ÖSSZEFOGLALÁS

A cikk a MOS LSI áramkörökben alkalmazott relatív nagy kapacitású pontokra kapcsolódó meghajtólánc eredő minimális késleltetésre való méretezésével foglalkozik.

## Bevezetés

MOS LSI rendszerekben az egyik legkritikusabb feladat a nagy kapacitású pontok meghajtása. A teljes rendszer sebességére alapvető befolyása van annak, hogy mennyi időt vesz igénybe a relatív nagy kapacitások áttöltése, de a minimális késleltetés eléréséért súlyos árat kell fizetni: az optimális meghajtólánc helyfoglalása igen nagy. Több szerző is foglalkozott a meghajtólánc optimalizálásával késleltetés és/vagy helyfoglalás szempontjából. [3] levezeti, hogy az egyes fokozatok felületének egyenletesen, mértani sor szerint kell növekedniük, továbbá a fokozatonkénti késleltetés és a terület együttes minimalizálásához határoz meg célfüggvényt. A fokozatonkénti késleltetés minimalizálása akkor cél, ha többfázisú órával működtetett fokozatokról van szó, melyek valamilyen logikai funkciót látnak el (pl. shift-regiszter) és az utolsó fokozatnak nagy kapacitást kell meghajtania. [4] a lánc teljes késleltetését minimalizálja, [2] pedig figyelembe veszi a kimeneti jelet fogadó érzékelő erősítők késleltetését is és az eredő minimumát keresi meg.

Az alábbiakban két, az idézett szerzők által figyelembe nem vett jelenségre mutatunk rá, melyek az optimális meghajtólánc kialakítását befolyásolják. Az egyik a terheletlen inverter nullától különböző késleltetése, a másik a terjedési idő és a felfutási idő közötti különbség.

### 1. A meghajtólánc eredő késleltetésének minimalizálása [4] szerint

A lánc elején levő kis méretű kapu bemenő kapacitását jelöljük  $C_0$ -val, a meghajtandó terhelő kapacitást  $C_f$ -vel, hányadosukat  $Y$ -nal:

$$Y = \frac{C_f}{C_0} \quad (1)$$

$N$  fokozatot használunk, mindegyik  $f$ -szer nagyobb az előzőnél:

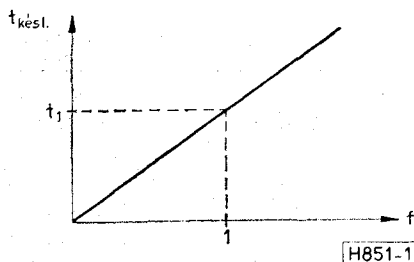
$$f^N = Y, \quad (2)$$

$$N = \frac{\ln Y}{\ln f}. \quad (3)$$

## NEMES MIHÁLY

A BME Villamosmérnöki Kar Híradástechnika Szakán 1974-ben végzett. Kétéves ösztön-

díjasi státus után tanárségédként dolgozik tovább a HEI Áramkörök Osztályán. Ipari gyakorlatát a MEV-nél töltötte 1982-ben. (Λ)



1. ábra.

Egy olyan inverter késleltetése, amely nála  $f$ -szer nagyobbat hajt meg  $t_1$ -gyel egyenlő, ahol  $t_1$  az egyforma inverterek kaszkádba kapcsolása esetén mérhető késleltetés. A késleltetés tehát az 1. ábra szerinti módon függ  $f$ -től. A teljes késleltetés:

$$t = t_1 f^N = t_1 f \frac{\ln Y}{\ln f} \quad (4)$$

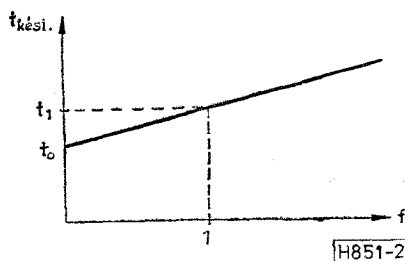
$t$  ott minimális, ahol  $f = e$ :

$$f_{\text{opt}} = e; \quad N_{\text{opt}} = \ln Y \quad (5)$$

### 2. A terheletlen inverter véges késleltetésének hatása

A valóságban egy inverter késleltetése akkor sem nulla, ha a kimenetére semmit sem kapcsolunk (2. ábra). A lánc teljes késleltetése:

$$t = N[t_0 + f(t_1 - t_0)] = \frac{\ln Y}{\ln f} [t_0 + f(t_1 - t_0)]. \quad (6)$$



2. ábra.

Beérkezett: 1982. XI. 24.

Ennek a függvénynek ott van minimuma, ahol

$$\frac{t_0}{t_1 - t_0} = f(\ln f - 1). \quad (7)$$

Itt feltételeztük, hogy  $t_0$  és  $t_1$  minden fokozatnál ugyanakkorra. Ezt a feltételt a tervezési fázisban biztosítani kell.

### 3. A terjedési idő és a felfutási idő közötti különbség hatása

Az eddigiekben az összes fokozat késleltetését azonosnak vettük. Ez a feltevés egyes, a gyakorlat számára is fontos esetekben nem helytálló. Egy inverterláncban a terjedési idő (a jelnek egy-egy fokozaton való áthaladásához szükséges idő) egyenlő a felfutási idővel valamely feszültségig. Ennek a feszültségnek a pontos értéke függ a kapcsolástechnikától és a technológiától, de mindig a maximális kimenő feszültség felének igen szűk környezetébe esik. Ha a terhelő kapacitást ennél lényegesen nagyobb feszültségre kell feltölteni (pl. transzfer kapuk meghajtásánál), akkor az eredő késleltetés lényegesen nagyobb lehet a terjedési késleltetés  $N$ -szeresénél. Ilyenkor az utolsó fokozat nagyobb mértékben járul hozzá az eredőhöz, mint bármely másik fokozat.

Jelöljük a terjedési késleltetést  $t_f$ -vel, az utolsó fokozat felfutási idejét  $t_f$ -vel, hányadosukat  $k$ -val:

$$k = \frac{t_f}{t_i}. \quad (8)$$

A lánc teljes késleltetése:

$$\begin{aligned} t &= (N-1)t_i + t_f = (N-1+k)t_i = \\ &= \left( \frac{\ln Y}{\ln f} - 1 + k \right) [t_0 + f(t_1 - t_0)]. \end{aligned} \quad (9)$$

A minimum helye:

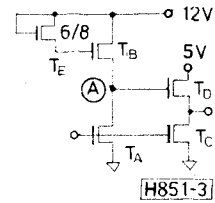
$$\frac{t_0}{t_1 - t_0} = f \left[ \ln f - 1 + (k-1) \frac{\ln^2 f}{\ln Y} \right]. \quad (10)$$

A gyakorlatban általában nem lehet elérni az elméleti minimumot, mert ehhez nem egész számú fokozatra lenne szükség. A fenti gondolatmenet azt sugallja, hogy érdemes lehet az utolsó fokozat és az öt meghajtó között nagyobb  $f$  értéket választani, mint a lánc többi elemei között. Ekkor ugyan az utolsó előtti fokozat késleltetése megnő, de az utolsó felfutási ideje csökken. Mivel ez nagyobb a terjedési időnél, az eredő késleltetés csökkenhet. Az, hogy érdemes-e ilyen módon megnövelni az utolsó fokozatot, a konkrét áramkörü megoldástól függ (ld. a 2. példát).

### 4. Példák

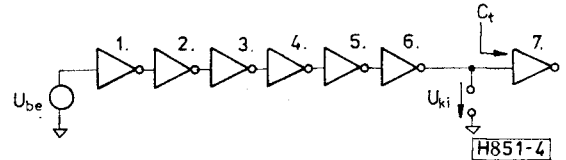
Az alábbiakban ismertetett áramkörök analízisét a TKI-han kifejlesztett ANAL-20 program segítségével végeztem el [5].

4.1. Ez a példa a terheletlen inverter véges késleltetésének hatását illusztrálja. A vizsgált inverter



3. ábra.

kapcsolása a 3. ábrán látható. A legkisebb méretűnek (ld. az 1. táblázat 1. sorát) a paraméterei a következők voltak: Terhelés nélkül a felfutási idő 2,5 V-ig 0,87 ns, egységnyi terheléssel 0,95 ns; a lefutási idő 2 ns, illetve 2,1 ns. Ezeknek az adatoknak az alapján kb. 10-szeres  $f$  érték várható optimálisnak (7) alapján. Amikor az ellenütemű elválasztó fokozat szélességét megnöveljük, az  $A$  pontot terhelő kapacitás is megnő. Ennek érdekében, hogy  $t_0$  és  $t_1$  állandó maradjon, a meghajtó fokozat ( $T_A, T_B, T_E$ ) áramát növelni kell.



4. ábra.

Először egy olyan inverterláncot vizsgálunk meg, amelynek a késleltetése [4] szerint minimális (4. ábra, 1. táblázat). Mindegyik ellenütemű fokozatban ( $T_C, T_D$ ) e-szer szélesebb tranzisztorok vannak, mint a megelőzőben. A terhelést a 7. inverter bemenő kapacitása képviseli. Az áramkör paramétereit a 3. táblázat első sorában találjuk.

1. táblázat

	$T_A$	$T_B$	$T_C=T_D$
1.	6/6	6/24	6/6
2.	6/6	6/24	16/6
3.	24/6	12/14	44/6
4.	24/6	12/14	120/6
5.	60/6	30/14	328/6
6.	60/6	30/14	890/6
7.	6/6	6/24	2420/6

2. táblázat

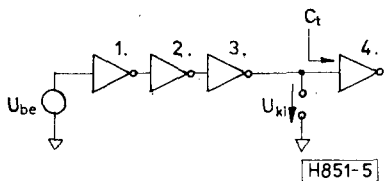
	$T_A$	$T_B$	$T_C=T_D$
1.	6/6	6/24	6/6
2.	24/6	12/14	60/6
3.	60/6	30/14	600/6
4.	6/6	6/24	2420/6

3. táblázat

	Késleltetés, amíg a kimeneti jel			Összes gate-terület	Statikus disszipáció
	felfut 2,5 V-ra	4 V-ra	lefut 1 V-ra		
4. ábra áramköre	9,5 ns	11 ns	9 ns	19 692 $\mu\text{m}^2$	25,7 mW (26,6)
5. ábra áramköre	7,25 ns	9 ns	6,5 ns	9312 $\mu\text{m}^2$	18,5 mW (6,7)

Ezután ugyanazt a terhelést olyan inverterláncal hajtjuk meg, amelyet a véges  $t_0$  figyelembevételével méreteztünk (5. ábra, 2. táblázat). A kapott paramé-

terek a 3. táblázat második sorában találhatóak. A késleltetés az előző esethez képest több, mint 20%-kal csökkent, a felhasznált gate-terület az előző áramkörének 47%-a. A statikus disszipáció is jelentősen csökkent.



5. ábra.

4.2. Ebben a példában olyan áramkört mutatunk be, melynél az azonos késleltetési idők feltételezése hamis minimumhoz vezet. Vegyük az előző példa második részében optimálisnak talált inverterlánc első két tagját, a harmadik pedig képviselje a terhelő kapacitást. Legyen ezúttal az a feladat, hogy a terhelésen legalább 9 V-ot kell létrehozni, ezért kössük  $T_{D2}$  drainjét 5 V helyett 12 V-ra. A késleltetési idők a 4. táblázat első sorában találhatóak. Növeljük meg most a második invertert  $t_0$  és  $t_1$  állandó értéken tartása mellett ( $T_A: 30/6$ ,  $T_B: 15/14$ ,  $T_C, T_D: 100/6$ ). A 2,5 V-ig való felfutási idő megnőtt, — ahogy az várható volt, de mind a 9 V-ig való felfutás, mind az 1 V-ig való lefutás ideje csökkent (4. táblázat, 2. sor).

A fokozatok számának növelésével az így nyerhető javulás mértéke rohamosan csökken, mert az utolsó fokozat részesevé a teljes késleltetésből relative egyre kisebb és kisebb lesz.

4. táblázat

Késleltetés, amíg a kimenő jel			
	felfut 2,5 V-ig	9 V-ig	lefut 1 V-ig
1. eset	5,25 ns	16,5 ns	12,75 ns
2. eset	6,5 ns	15,5 ns	10,75 ns

## I R O D A L O M

- [1] C. A. Mead—L. A. Conway: Introduction to VLSI systems Addison-Wesley 1978.
- [2] Á. M. Mohsen—C. A. Mead: "Delay-time optimization for driving and sensing signals on high-capacitance paths of VLSI systems", IEEE Journal on Solid-State Circuits, Vol. SC—14. No. 2. Apr. 1979.
- [3] H. C. Lin—L. W. Linholm: "An optimized output stage for MOS integrated circuits", IEEE Journal on Solid-State Circuits, Vol. SC—10. No. 2. Apr. 1975.
- [4] R. C. Jaeger: Comments on "An optimized output stage for MOS integrated circuits", IEEE Journal on Solid-State Circuits, Vol. SC—10. No. 3. June 1975.
- [5] Radványi András—Somogyi Antal: ANAL—20 analízis program felhasználói dokumentáció 1980.