

Új irányzat a korszerű félvezető technológiában a nagyteljesítményű tervezérelt tranzisztor

DR. PÁSZTOR GYULA
HIKI

Bevezetés

Az utóbbi időkig az a helyzet jellemezte a félvezető technikát, hogy míg a nagyfeszültségű nagyáramú félvezetők főleg bipoláris működésűek voltak, a tervezérelt tranzisztorok főként a kisteljesítményű, nagyelemsűrűségű logikai áramkörök területét hódították meg. Ebben a helyzetben fordulatot hozott a nagyteljesítményű (nagyáramú, nagyfeszültségű) tervezérelt tranzisztorok megjelenése. Ezt a fejlődést egyrészt lehetővé tette újszerű technológiák kifejlesztése, másrészt viszont sürgette a bipoláris tranzisztor néhány olyan hátrányos sajátossága, mely fejlődésük gátjává vált.

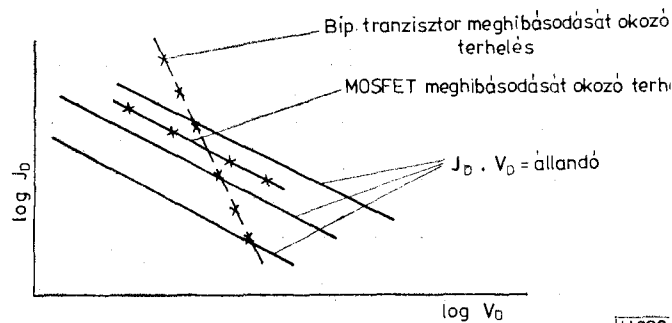
Ebben a cikkben a terület sajátos problémáit, és ezek megoldására a kialakult különféle technológiai struktúrákat tekintjük át röviden.

A bipoláris teljesítménytranzisztor legfőbb gyengeségét a Yoshida (1) cikkében található ábra tükrözi legmeggyőzőbben.

Az 1. ábrán a tranzisztor tönkremenetelét okozó áram-, ill. feszültségértékek láthatók, bipoláris tranzisztor és szigetelt vezérlőelektródás tervezérelt tranzisztor (röviden MOSFET) esetén. A logaritmikus lépték következtében az állandó teljesítményű kontúrok egyenesnek adódnak. Mint látható MOSFET esetén a mérési pontok az említett egyenesekkel párhuzamos egyenesre esnek.

Ez esetben a tranzisztor meghibásodása csak a disszipált teljesítménytől függ. Bipoláris tranzisztornál ezzel szemben nagyobb feszültségnél már kisebb disszipált teljesítménynél bekövetkezik a meghibásodás. Ez esetben tehát egy feszültségfüggő járulékos effektus is fellép. Ez a forrópont képződés, amely a névleges terhelhetőségnél kisebb teljesítménynél is tönkretelheti a tranzisztorot. Ez ellen a jelenség ellen már kifejlesztettek ugyan konstrukciós megoldásokat, ezeknek azonban valamely más paraméter — pl. a bekapcsolt tranzisztor telítési feszültsége — szempontjából káros hatása van.

A bipoláris teljesítmény tranzisztor másik gyengesége, hogy viszonylag nagy vezérlő teljesítményt igényel. Még további hiányosság, hogy bekapcsolt állapotban mindig van egy kis maradék feszültség. Mindezeket kiküszöböli egy megfelelően méretezett



1. ábra

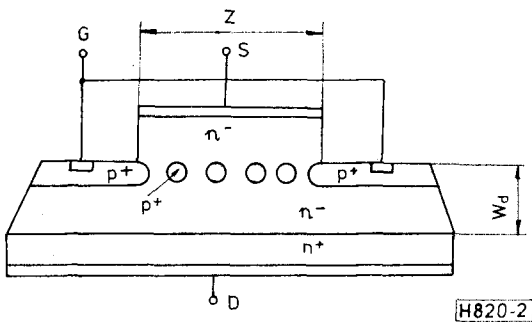
teljesítmény FET tranzisztor. Ez a lehetőség volt tehát az, amely ennek az eszköznek a kifejlesztésére irányuló kutatómunkát ösztönözte.

A hagyományos FET tranzisztor jellemzője a viszonylag kis drain letörési feszültség és bekapcsolt állapotban aránylag nagy csatornaellenállás. Ez a megállapítás mind a záróréteges (JFET) mind a szigetelt vezérlőelektródás (MOSFET) tranzisztorokra egyaránt érvényes.

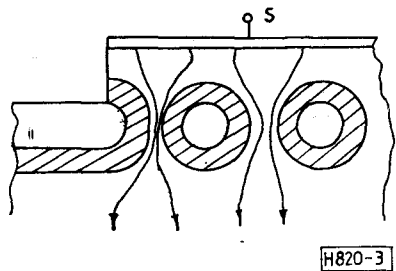
JFET struktúrák

A továbbiakban e két alaptípus közül először az elsővel foglalkozunk részletesebben. Egy olyan szerkezetet teszünk vizsgálat tárgyává elsőként, amely ugyan történetileg egy régi tranzisztor elképzelés volt, amint azt Nishizawa [2] és Shockley [3] publikációjának keltezéséből láthatjuk, azonban tényleges megvalósítására csak viszonylag nem régen került sor, Nishizawa [4] fejlesztő munkájának eredményeként. Ez a struktúra, melyet a 2. ábrán láthatunk az analóg tranzisztor (vagy Static Induction Transistor (SIT) nevet viseli.

Az ábrán látható tranzisztor szerkezetet egy erősen adalékolt (n^+) kristályra epitaxiás rétegnövesztési technikával létrehozott gyengén adalékolt (n^-) rétegben alakították ki. Az erősen adalékolt (p^+) réteg, amely a gate elektródát valósítja meg, diffúzióval készült. Az egyes izolált p^+ szigetlet az ábra síkja előtt és mögött csatlakoznak a közös p^+ réteghez. A meg lehetőséget bonyolult technológia részleteinek ismeretétől eltekintünk. A név azt a tényét fejezi ki,



2. ábra



3. ábra

hogy ezzel a struktúrával az elektroncsővel analóg működésű félvezető erősítő elemet lehet megvalósítani. Ez nyomban nyilvánvalóvá válik, amint a 2. ábra source (S) elektródája helyére egy síkrácsos elektroncső katódját, a gate vezérlő elektródát (G) vezérlőrácsként, a drain (D) pedig anódként képzeljük. A potenciálképben is analógiát találunk. Ha az S elektródát földeljük és a D -re viszonylag nagy pozitív feszültséget kapcsolunk, akkor áram indul az S - D körben, mely lecsökken, ha a G -re negatív feszültséget kapcsolunk. Ilyen módon trióda jellegű karakterisztikához jutunk. A 3. ábra magyarázza ezt a hatást.

A vonalkázott területek mozgó töltések nélküli, kiürült tartományokat képviselnek. Ezekben a tartományokban a potenciál meredeken változik. Ha növeljük a G -re adott negatív feszültséget (V_G), a kiürült tartomány a G környékén kiszélesedik és ezáltal elkeskenyedik az áramvezető csatorna. Elegendően nagy V_G -nél ez elzáródik, és az áram zérus lesz. Pozitívabb drain feszültségnél ez az elzáródás csak negatívabb V_G -nél következik be és így definiálhatunk egy elzárási erősítést (BG), e két feszültség hányadosából

$$BG = \frac{V_D}{V_G} \quad (I_D = 0).$$

Ennek értéke Nishizawa tranzisztorában 20–30 volt. A tranzisztor másik jellemző állapota a nyitott állapot, amikor V_G és V_D zérus. Ilyenkor az S - D kör egy ohmos ellenállást reprezentál.

Ennek értéke csökken Z szélesség, az n^- -koncentráció értékének növelésével, a W_d vastagság csökkenésével egyéb geometriai adatok változatlan tartása esetén. A maximális zárófeszültség — amelyet a lavaletörés korlátoz — növelése viszont részben ellentétes értékválasztást igényel, azaz W_d növe-

lését n^- -koncentráció csökkenését. Ha a tranzisztort kapcsoló üzemben alkalmazzuk, akkor a bekapcsolt állapotban fellépő soros ellenállás (R_s) a tranzisztor által vezetett maximális áramot, a letörési feszültség pedig a maximális kapcsolható feszültséget korlátozza, tehát végül is a tranzisztor által kapcsolható maximális teljesítményt. Ebből a szempontból az analóg tranzisztor nem szerencsés konstrukció, mivel a source és a gate közötti távolság a teljes W vastagsághoz képest — technológiai okokból — nem csökkenthető le kellőképpen. Ennek a rétegnek vertikális irányú ellenállása ugyanis szükségtelenül növeli R_s -t, és emellett még a tranzisztor meredekségét is csökkenti (hasonlóan ahhoz, mint amikor egy elektroncső katódkörébe egy ellenállást kapcsolunk).

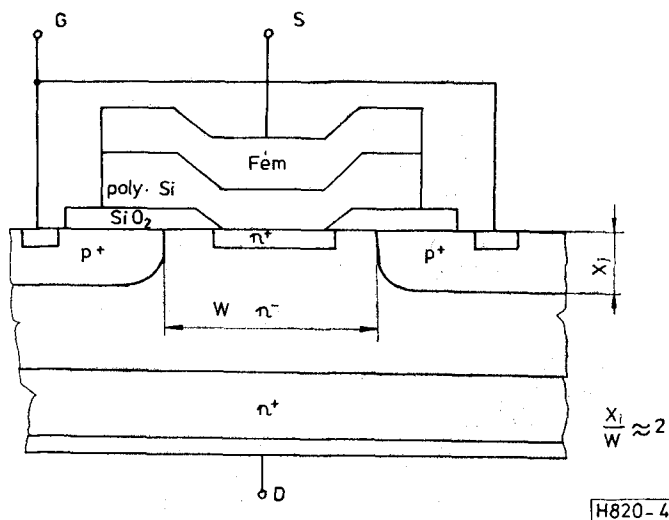
A felületi vezérlőréteges megoldásoknál ez a hiányosság elmarad, emellett technológiai megvalósításuk is viszonylag egyszerűbb, ezért újabban ilyen megoldásokat fejlesztettek ki.

Egyik megoldási példaként O. Ozawa [5] tranzisztorra szerepeljen. Ezt a struktúrát a 4. ábrán láthatjuk.

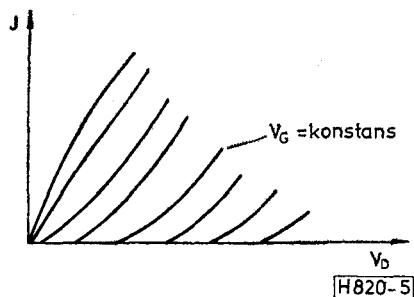
A tranzisztor n-csatornás változatát n^+ hordozóra növesztett n epitaxiális rétegszerkezetű kristályban valósítják meg. Vezérlőelektródaként a felületi P diffúziós réteg szolgál. Source réteggént — az egyébként ohmos kontaktus céljával is szolgáló — n^+ adalékolású polykristályos szilíciumból mint diffúziós forrásból diffundáltatott n^+ réteg szolgál. A konstrukció fontos jellemzője, hogy a p -réteg behatolási mélysége (x_i) és a két réteg közötti ablak szélessége kb. 2:1 arányú legyen. Ezt a méretarányt párosítva $5 \cdot 10^{14}$ koncentrációjú epi-réteggel, olyan tranzisztort kapunk, amelynek trióda jellegű karakterisztikája van. Ilyen karakterisztikát az 5. ábrán láthatunk.

A struktúra további érdekessége, hogy a diffúziós behatolási mélység és az epi-réteg adalékkoncentrációjának megfelelő megválasztásával, és ellentétes típusú adalékolással szimmetrikus karakterisztikájú komplexens (p -csatornás) $JFET$ tranzisztor készíthető.

Push-pull végerősítő céljára kifejlesztett komple-



4. ábra



5. ábra

menter tranzisztor-pár főbb jellemző adatait Ozawa említett publikációjából vehetjük:

chip méret: 4×4 mm,

x_j : 2,8/3,5 μm ,

fesz. erősítés: 5,

SG-letörési feszültség:

n-csatorna esetén 60 V,

p-csatorna esetén 50 V,

G–D letörési feszültség:

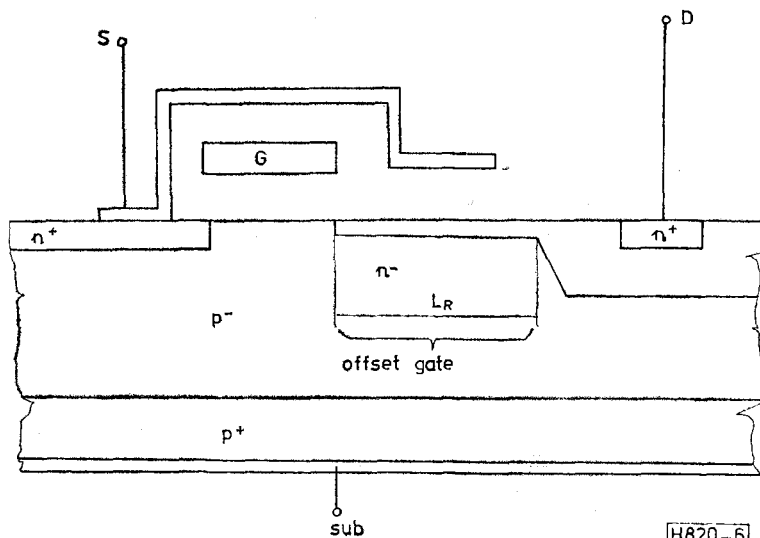
n-csatorna esetén 200 V,

p-csatorna esetén 150 V,

kimenő teljesítmény ≈ 100 W.

A struktúra technológiai megvalósításában a fő nehézség a viszonylag keskeny source ablak, amelynek középvonalában kell megvalósítani az n^+ diffúziós réteget és a hozzá csatlakozó ohmos kontaktust. Az elillesztetlenségből származó hibára nézve az a követelmény, hogy kisebb legyen 1 μm -nél. Azért, hogy ez ne okozzon nagy maszkillesztési problémát, Nishizawa és Yamanoto [6] önillesztett technológiai megoldást dolgozott ki szilíciumnitrid szelektív oxidációs technológia alkalmazásával. Tranzisztorára, amely mikrohullámú (10 W, 1 GHz-en) és UHF-sávban működik (40 W, 200 MHz-en), jellemző, hogy a feszültségerősítési tényező $\mu=5$, hasonlóan Ozawa fentebb említett tranzisztorához. Ez a viszonylag kis feszültségerősítési tényező az egyik fő gyengesége ezeknek a struktúráknak és a felületi planár-diffúziós gate réteg kialakítással törvényszerűen együtt jár. Ha ezt a paramétert javítani akarjuk, akkor új struktúra megoldást kell keresni. Ilyen megoldást B. J. Baliga [7] ismertetett. Ennél szelektív marást alkalmaz, amely $\langle 110 \rangle$ orientációjú kristály esetén meredek oldalfalú árok kialakítását teszi lehetővé. Az árkot — amely p^+ gate diffúziós réteget vág át — visszatöltéses epitaxiális rétegnövesztéssel n^- adalékolású egykristállyal tölti meg. Ezzel a megoldással a vezérelt csatorna rész geometriáját kedvezően tudja befolyásolni és $\mu=20$ -as feszültségerősítést ér el. A JFET struktúrák fejlődése még nem zárult le. Sőt elmondható, hogy ipari alkalmazási körök a legkedvezőbb technológiai megoldások valószínűleg még csak a jövőben fognak kikristályosodni.

A MOSFET teljesítmény tranzisztorok már egy fejlettebb stádiumot értek el, mivel széles körben alkalmazzák ezeket, igaz a megvalósításukra fordított erőfeszítések is nagyobbak tűnnek.



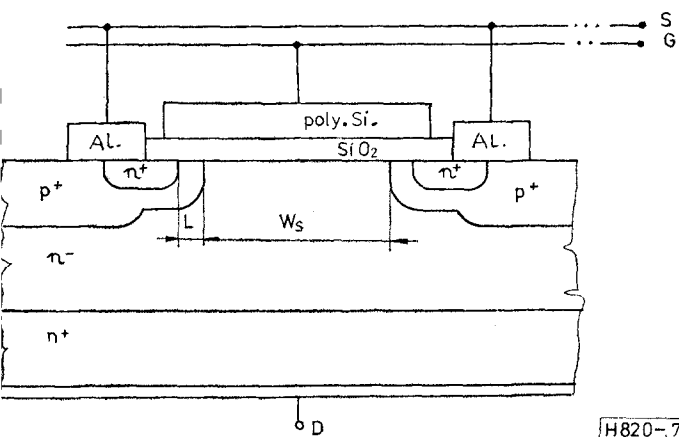
6. ábra

MOSFET struktúrák

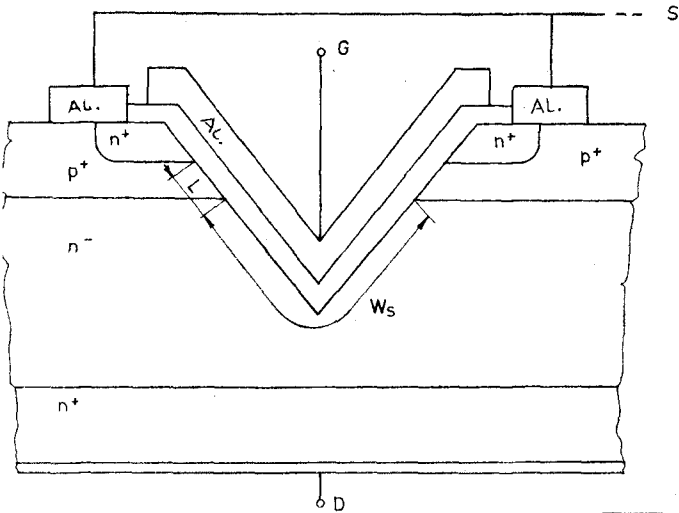
A hagyományosnak mondható MOSFET technológiához legközelebb áll, és így az ismertetés kiindulópontja lehet Nagata [1] teljesítménytranzisztor. Ennél a megoldásnál a source és drain réteg a kristályfelületen van, ennélfogva az áram is a felületével párhuzamos rétegben folyik éppúgy mint a hagyományos MOS tranzisztornál. A teljesítménynövelés érdekében két lényeges lépést tettek. Megnövelték a maximális áram értékét azáltal, hogy kb. 8000 tranzisztor integrált áramköri technológia alkalmazásával párhuzamosan kapcsolnak egymással. A másik változás az, hogy a tranzisztor drain letörési feszültségét megnövelték offset gate alkalmazásával, és egy szubsztrát potenciálon levő második gate alkalmazásával. A struktúráját a 6. ábrán láthatjuk.

A hagyományos struktúrában a drain letörés szempontjából kritikus pont az a sarokpont, ahol a gate elektróda és a drain $p-n$ átmenet találkozik. Itt a vékony oxidrétegen a gate és a drain feszültségkülönbsége igen nagy térerősséget hoz létre, ami a félvezető kristályban lavina letörést okoz. Ez a hatás kiküszöbölhető, ha a gate réteg — mint az ábrán láthatjuk — nem éri el a drain n^+ réteget. Hogy a szórt elektromos tér hatását is kiküszöböljék még egy további árnyékoló elektródával zárják körül a gate elektródát. Mivel a gate által létrehozott inverziós csatorna csak annak széléig tart, azért gondoskodni kell az áramút további részéről. Ezt a célt szolgálja az ionimplantációval kialakított n^- réteg, amely az offset gate nevet viseli. Nagy zárófeszültségnél ez a réteg kiürül és része lesz a drain kiürült tartománynak. Minél szélesebb ez a rész (L_R), annál nagyobb drain letörési feszültség (V_{BD}) érhető el: pl. $L_R=5$ μm -nél $V_{BR}=150$ V, $L_R=17$ μm -nél $V_{BR}=250$ V.

Igazán nagy zárófeszültségek megvalósításához azonban MOSFET tranzisztor típusnál is arra van szükség, hogy az áram a felületre merőlegesen folyjon, azaz a drain réteg a térfogatban legyen kialakítva. Így egyrészt elkerülhető a görbült tértöltésű larto-



7. ábra



8. ábra

mány, amely mindig térerősség-növekedést okoz, másrészt lehetősége van az áramvonalaknak a térfogatban kiterjeszkedni, amely a bekapcsolt tranzisztor soros ellenállásának lecsökkenését eredményezi. Ilyen struktúrát valósít meg a VMOS és a DMOS tranzisztor. Mivel a két típus sok szempontból hasonló problémákat vet fel ezért párhuzamosan tárgyaljuk őket Temple [8], Lane [9] és Yoshida [10] cikkei alapján. A DMOS struktúrát a 7., a VMOS-t a 8. ábrán láthatjuk.

Másik lényeges előny ezeknél a tranzisztoroknál, hogy minden fotolitográfiai nehézség nélkül mintegy magától adódik a rövid csatornahossz (L), amely az n^+ és p^+ diffúziós rétegek behatolási mélységeinek különbségével arányos. Ez az érték pedig $1 \mu\text{m}$ alá csökkenthető — amint azt a bipoláris tranzisztorok technológiájából tudjuk — míg a hagyományos MOS struktúrában a $4 \mu\text{m}$ -nél rövidebb csatorna előállítása már nagy fotolitográfiai problémákra vezet. A csatornahossz rövidítése a fajlagos áramsűrűség növekedésére vezet — azzal mintegy fordított arányosság szerint — így ezek a struktúrák különösen alkalmasak nagyáramú, nagyfeszültségű szempontból.

Mindkét struktúra közös jellemzője, hogy kiindulásul olyan szilícium szeletet használ, amely erősen adalékolt (n^+) hordozó kristályon epitaxiális réteg-növesztési eljárással gyengén adalékolt (n^-) réteget tartalmaz. A szeletekbe a kívánt helyeken egy speciális kis felületi koncentrációjú réteget alakítanak ki, ennek felületén fog létrejönni az inverziós csatorna. Source réteg céljára egy a p -rétegnél sekélyebb, de erősen adalékolt és így kis ellenállású n^+ réteget diffundáltatnak. Az eltérés a két struktúra között ezt követően áll elő. Míg a DMOS tranzisztornál az inverziós csatorna a felületen laterálisan alakul, addig a VMOS struktúránál $<100>$ orientációjú szelet esetén szelektív marószel hatására, egy definiált hajlásszögű, V alakú árok képződik — amelynek oldalfalai $<111>$ orientációjúak — az inverziós csatorna ezen az oldalfalon jön létre. Mindkét tranzisztornál a csatornaáram elérve az n -adalékolású tartományt vertikális irányba fordul és így éri el az alul elhelyezett (drain) kontaktust.

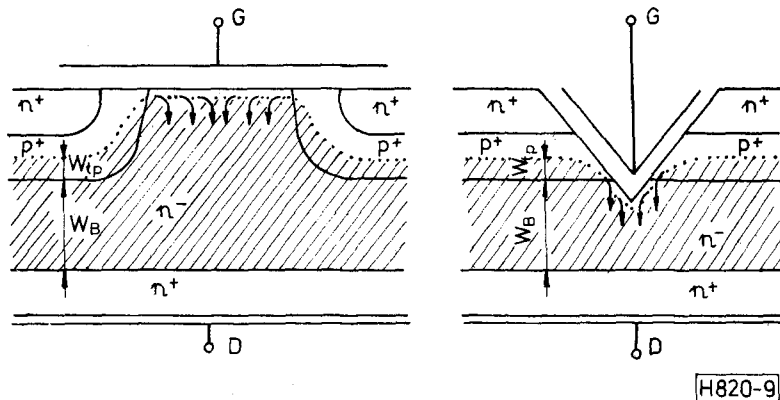
Mindkét tranzisztor struktúra egyaránt használható lineáris erősítő elemként, vagy kapcsoló céljára. Mindkét alkalmazásnál szerepet játszik két fontos jellemző (habár különböző súllyal kerül megítélésre) és ez a bekapcsolt állapotban mérhető soros ellenállás R_{SD} és a drain letörési feszültsége V_{Br} . Mindkettő értékét befolyásolják a struktúra geometriai adatai, az n -réteg fajlagos ellenállása és vastagsága. Ezek kialakításánál felvetődhet az optimális érték megválasztásának kérdése.

A másik fontos kérdéskör a csatorna kialakításának problémája, melynek előzménye a CMOS struktúránál felmerült p zseb (p Well) diffúzió kérdése.

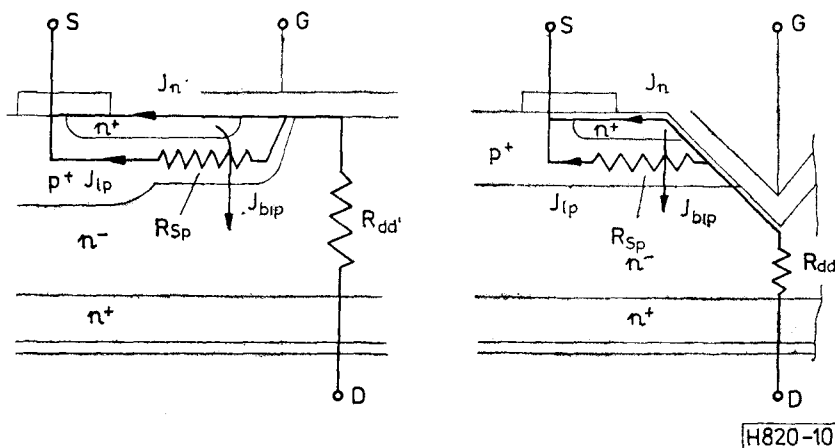
A két kérdéskör kapcsolatban van egymással, két fizikai jelenség révén. Az egyik egy téreffektus hatás, amelynek következtében a záróréteg elegetően nagy zárófeszültségnél behatol a p diffúziós rétegbe (W_{ip}), amelynek rétegenállása ezáltal megnő. Ez a növekedés a zárófeszültség függvénye. Ha ez a behatolás eléri a source diffúzió határát, akkor keresztátütés következik be, amit a drain letöréseként észlelünk. Ezt látjuk a 9. ábrán.

A másik jelenség egy bipoláris tranzisztor hatás, amely — nagyfeszültségű, nagyteljesítményű tranzisztoroknál — azok tönkremenetelét előidéző másodfajú letörést (second breakdown) okoz. Ez a hatás abból áll, hogy elegetően nagy feszültségnél lavinasokszorozás következtében lyukáram folyik a p diffúziós rétegben, (I_{ip}) abban feszültségesést hoz létre, ami a sourceszubsztrát $p-n$ átmenet kinyitását és ezáltal bipoláris tranzisztor áramot (I_{bip}) okoz. Ez megnöveli a drain áramát, és ezáltal a sokszorozásból származó lyukáramot. Ez láthatóan a tirisztor hatásra emlékeztető minden hatáson túl növekedő áramra vezet. A jelenséget a 10. ábrával érzékeltetjük.

A bekapcsolt tranzisztor soros ellenállása az n -epiréteg vastagságán és adalékkoncentrációján túlmenően az elrendezés sűrűségének is függvénye. Ha W_s -sel jelöljük annak a résznek a szélességét, amelyenél az n -epiréteg gate-tel van fedve (lásd 7., 8. ábrák), akkor beláthatjuk, hogy ennek a méretnek növekedése egyrészt az elemsűrűség csökkenését, de másrészt viszont a soros ellenállás csökkenését is okozza. W_s a DMOS tranzisztor esetén két szomszédos elem



9. ábra



10. ábra

távolságát VMOS-nál viszont a V betű alsó ék alakú részének hosszát képviseli. Ez a gate-tel fedett rész ugyanis erős akkumulációban van olyankor amikor a gate-re nagy amplitúdójú jelet juttatunk. A csatorna árama befolyik ebbe a részbe, amely a csatorna négyzetes ellenállásához képest rövidzárnak tekinthető és ebből indul ki a kollektor test felé (9. ábra). Az elrendezés optimalizálható ha a teljes drain áram és a soros ellenállás hányadosának maximumát keressük.

Mindkét struktúra kritikus problémája az, hogy a szubsztrát réteg, (esetünkben a p+ réteg) egy diffúziós réteg, amelynek koncentrációja a felület mentén pontról pontra változik. Minden növekményes MOS tranzisztor közös jellemzője a nyitófeszültség, amely alatt azt a gate feszültséget értjük, amelynél a csatorna kialakul. Ez az érték függ a szubsztrát koncentrációjától olyan módon, hogy minél nagyobb ez a koncentráció a nyitófeszültség is annál nagyobb. A legnagyobb koncentrációjú hely a source-szubsztrát p-n átmenet helye. Az itt fennálló koncentrációt (N_{A0}) mindkét diffúziós réteg adatai (behatolási mélysége, felületi koncentrációja) egyaránt befolyásolják. Így egy kielégítő szórás tartomány elérése a nyitófeszültségben, meglehetősen nagyfokú stabilitást kíván meg a diffúziók reprodukálásában. Ha ezt a gondolatmenetet tovább folytatjuk egy újabb

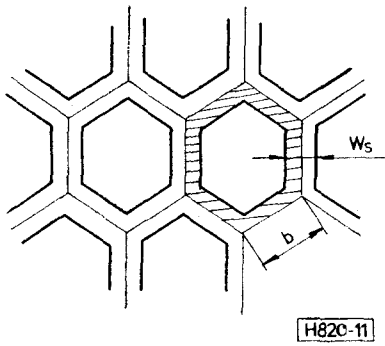
alapvető struktúraproblémára jutunk. Mint láttuk N_{A0} erősen limitált a nyitófeszültség miatt. A 8. ábrán viszont azt láttuk, hogy a nagy V_D -nél a kiürült tartomány behatol a szubsztrátba és ha eléri a source réteget akkor keresztátütéses letörés következik be. Ez annál kisebb feszültségnél következik be minél kisebb N_{A0} vagy L értéke. Mivel N_{A0} növelése nem lehetséges ezért L -re vonatkozóan kapunk így egy alsó korlátot. Ez DMOS struktúrájánál ugyanolyan letörési feszültségre kisebb L értéket enged meg mint VMOS-nál.

A DMOS tranzisztor egy speciális kiviteli alakja a HEXFET tranzisztor, amely hatszögletű, mézsejt alakú kialakításáról kapta a nevét. Ilyen tranzisztorstruktúra felülnézeti képét látjuk a 11. ábrán.

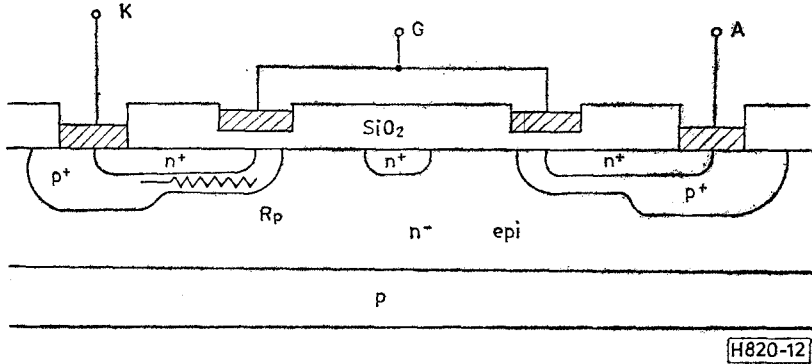
A legbelső hatszög élei mentén alakul ki a tranzistorelem csatornája. A 6. ábrán W_s -sel jelölt rész a párhuzamos oldalak távolsága. A source terület a legbelső hatszög területe.

A DMOS elv egyik érdekes alkalmazása a TRIMOS struktúra, amely egy integrált áramkörti planár tirisztor, amelynek bekapcsoló eleme egy-egy DMOS tranzisztor. A struktúra keresztmetszeti képét a 12. ábrán láthatjuk, Plummer és Scharf cikke [11] alapján.

Ez felépítésében egy teljesen szimmetrikus szerkezet. Működésének megértéséhez hasznos ha felraj-



11. ábra



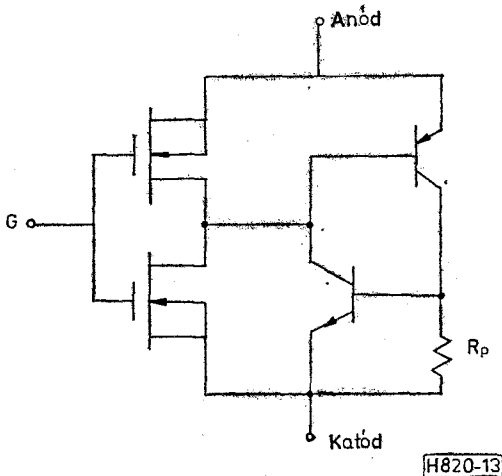
12. ábra

zoljuk azt a helyettesítő kapcsolást, amelyet ez az áramkör realizál. Ezt a 13. ábrán láthatjuk.

Az ábrán két-két bipoláris és MOSFET tranzisztort látunk. A MOSFET tranzisztorok a DMOS tranzisztorok, amelyek a 12. ábrán jól felismerhetők. A bipoláris $p-n-p$ tranzisztor a jobb oldali DMOS szubsztrát rétegéből mint emitterből az n^- epitaxiális rétegből mint bázisból, illetve a bal oldali DMOS szubsztrát rétegéből mint kollektorból kialakított laterális tranzisztor. Az $n-p-n$ tranzisztor a bal oldali DMOS három rétegből ki-

alakitott vertikális tranzisztor. Ha a gate-re adott pozitív jel hatására (pozitív anódfesz. mellett) a laterális $p-n-p$ tranzisztor vezetni kezd, akkor elegendő nagy áram esetén az R_p ellenálláson — melyet a 12. ábrán berajzolt diffúziós réteg részlet ellenállása alakít ki — akkora feszültség esik, hogy az átmenet kinyit, akkor a vertikális $n-p-n$ tranzisztor is vezető állapotba kerül, amelynek kollektorárama fenntartja az áramvezetést azután is, hogy a G vezérlőelektrodán az indítójel megszűnt. Ez a szokásos tirisztor működés.

A stabil működés feltétele, hogy a $p-n-p$ laterális tranzisztor földelt bázisú áramerősítésének, vala-



13. ábra

I R O D A L O M

- [1] I. Yoshida: IEEE Electron Devices. ED-27. p. 398. 1980. február.
- [2] J. I. Nishizawa, Watanabe: Physical Review vol. 79. p. 232. 1948. július.
- [3] W. Shockley: Proc. IRE. 40. kötet. 1284. oldal. 1952. november.
- [4] J. I. Nishizawa: IEEE Trans. on Electron Devices. ED-22. No. 4. p. 185. 1975. április.
- [5] O. Ozawa: IEEE Trans. on Electron Dev. vol. 27. No. 11. 1980. november.
- [6] J. I. Nishizawa, K. Yamamoto: IEEE Trans. on Electron Dev. vol. ED-25. No. 3. 1978. március p. 314.
- [7] B. J. Baliga: IEEE Trans. on Electron Dev. vol. ED-27. No. 2. 1980. február p. 368.
- [8] V. A. K. Temple: IEEE Trans. on Electron Dev. vol. ED-27. No. 2. p. 343. 1980. február.
- [9] W. A. Lane: IEEE Trans. on Electron Dev. vol. ED-27. No 2. 1980. február p. 349.
- [10] I. Yoshida: IEEE Trans. on Electron Dev. vol. ED-27. No. 2. p. 395. 1980. február.
- [11] J. D. Plummer, B. W. Scharf: IEEE Trans. on Electron Dev. vol. ED-27. No. 2. p. 380. 1980. február.