

## MOS/LSI integrált áramkörök számítógépes tervezése: eszköz- és funkcionális modellek

ETO 621.3.049.77.001.2.681.3

Napjainkban, a nagy bonyolultságú integrált áramkörök, mikroprocesszorok elterjedésével, hazánkban is a figyelem középpontjába kerültek a MOS/LSI integrált áramkörök tervezési, gyártási módszerei. A tervezési módszerek között fontos szerepe van a MOS áramkörök számítógépes szimulációjának. Ez az áramköri szimuláció olyan áramköranalízis programot kíván, amely az áramkört alkotó félvezető-eszközöket — jelen esetben MOS tranzisztorokat — megfelelő pontossággal modellezi. Nagyobb, a szokásos áramköranalízis programok teljesítőképességét meghaladó áramkörök szimulációját pedig úgy végezzük el, hogy az áramkörben egyes összetartozó, ismert működésű részeket funkcionális modellekkel helyettesítünk.

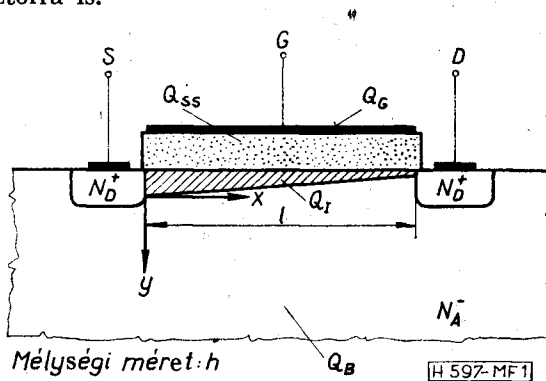
Dolgozatunkban bemutatunk egy másodlagos hatásokat is figyelembe vevő MOS tranzisztormodell, majd egy, ezzel a modellel egyenértékű leírást nyújtó, de áramkörileg egyszerűbb, R-S flip-flop funkcionális modellel. A modellek gyakorlati alkalmazására példaképpen közöljük összetettebb MOS/LSI áramköri részletek tranziens analíziseinek eredményeit. A modelleket a BME Elektronikus Eszközök Tanszéken kifejlesztett és már több hazai számítógéppontban is hozzáférhető TRANZ-TRAN nemlineáris áramköranalízis programba építettük be [1], [2]. Az itt közölt számítógépes analíziseket a Központi Fizikai Kutató Intézet ICT 1905 számítógépre adaptált TRANZ-TRAN változattal végeztük [3].

### 1. Rövid irodalmi áttekintés

A MOS eszközök gyakorlati megvalósítása, működésmódjuk tisztázása különösen S. R. Heiman és F. P. Hofstein [4] nevéhez fűződik, míg a karakterisztikaegyenletek megadása elsősorban H. K. J. Ihanola, J. L. Moll és C. T. Sah érdeme [5], [6]. A hatvanas évektől a jelenbe is nyúló időszakban sok közlemény foglalkozott MOS eszközök modellezésével. Meg kell említenünk J. E. Meyer [7], G. Merckel et al. [8], valamint F. S. Jenkins et al [9] munkáit. Az utóbbi, 1973-as cikk a témakörnek addigi teljes áttekintését és feldolgozását adja meg. Később a modellek további pontosítására is sor került [10]–[14]. Publikáltak MOS-orientált áramköranalízis programot [15] és egyszerű funkcionális modellekre történő kísérleteket is [16]–[17]. Hazai viszonylatban meg kell említeni dr. Tarnay Kálmán és csoportja több mint 10 éves múltira visszatekintő, úttörő jellegű munkáját [18]–[23].

### 2. TRANZ-TRAN MOS tranzisztormodell és alkalmazása

A TRANZ-TRAN áramköranalízis programban MOS modell már kezdettől fogva hozzáférhető volt [1], [2]. Az itt ismertetendő modell azonban pontosabb szimulációt tesz lehetővé. Ez a modell elsősorban növekményes típusú MOS tranzisztorra érvényes, azonban — bár más kiinduló összefüggésekből és határfeltételekkel — formailag alig eltérő modellt alkalmazhatunk kiüritéses típusú MOS tranzisztorra is.



1. ábra. MOS tranzisztor metszeti rajza

Tekintsük az 1. ábrán látható MOS struktúrát. A csatornában a mozgéképes töltések haladására a transzportegyenlet vonatkozik. Egy dimenzióban felírva:

$$J_n = q \cdot \mu_n \cdot n \left( \frac{\partial U}{\partial x} - \frac{U_T}{n} \cdot \frac{\partial n}{\partial x} \right) \quad (2.1)$$

Mivel a jelentkező nagy télerősségnél a diffúziós tagot elhanyagolhatjuk, valamint bevezethetjük az effektív mozgékonytságot [24], a MOS struktúra differenciálegyenletét ilyen alakban nyerhetjük:

$$I_D = -q \cdot h \cdot \mu_{eff} \cdot Q_I \cdot \frac{dU}{dx}, \quad (2.2)$$

ahol

$$Q_I = -(Q_a + Q_{ss} + Q_B) \quad (2.3)$$

a töltégyensúly fennállása következtében.

A felületegységre eső fajlagos gate-kapacitás bevezetésével, valamint a szubsztráttöltéseknek a kiüritett rétegre jutó feszültség segítségével történő felírásával [25] (2.2) megoldása a MOS tranzisztorok trióda üzemmódjára kisebb azonos átalakítások után a következő alakban adható meg:

$$I_D = F(U_{OS}) - F(U_{OD}), \quad (2.4)$$

ahol

$$F(U) = \begin{cases} I_0 \cdot (U - V_T^*)^2, & \text{ha } U > V_T^*, \\ 0, & \text{ha } U \leq V_T^*, \end{cases} \quad (2.5)$$

és

$$V_T^* = V_{T0} + V_{TK} \cdot \frac{W_F}{U_{GS} - U_{GD}} \cdot \left[ \left( \frac{U_{DB}}{2W_F} + 1 \right)^{3/2} - \left( \frac{U_{SB}}{2W_F} + 1 \right)^{3/2} \right] \quad (2.6)$$

A használt állandók:

$$V_{T0} = 2W_F - U_K - \frac{Q_{SS}}{C_0} \quad (2.7)$$

(az ideális küszöbfeszültség), valamint

$$V_{TK} = \frac{q}{3} \cdot \frac{\sqrt{q \cdot \epsilon_H \cdot N_A \cdot |W_F|}}{C_0} \quad (2.8)$$

ahol:

- $W_F$  a félvezető Fermi-nívójának adalekolástól függő helyzete;
- $U_K$  a kontaktpotenciál;
- $q$  az elemi töltés;
- $Q_{SS}$  a felületi állapotok által képviselt töltés;
- $\epsilon_H$  a félvezető dielektromos állandója;
- $N_A$  a szubsztrát alapadalek-koncentrációja;
- $C_0$  a gate felületegységre vonatkoztatott fajlagos kapacitása.

A telítési üzemmód határát a (2.4) egyenletre vonatkozó

$$\left. \frac{\partial I_D}{\partial U_{DS}} \right|_{U_{DS} = U_{DS \max}} = 0 \quad (2.9)$$

feltételből adódó

$$U_{DS \max}^2 - \left[ 2(U_{GS} - V_{T0}) + \frac{9}{32} \cdot \frac{V_{TK}^2}{W_F} \right] \cdot U_{DS \max} + (U_{GS} - V_{T0})^2 - \frac{9}{16} \cdot V_{TK}^2 \cdot \left( \frac{U_{SB}}{2W} + 1 \right) = 0 \quad (2.10)$$

másodfokú egyenletből határozhatjuk meg. Modelünkben — digitális áramkörök vizsgálatánál nyert gyakorlati tapasztalatokra támaszkodva — első közelítésben a telítési szakaszban a MOS tranzisztor kimenővezetését zérusnak tekintjük. Ezt a (2.4)–(2.6) egyenletekben az

$$U_{DB} = U_{SB} + U_{DS \max}, \quad (2.11)$$

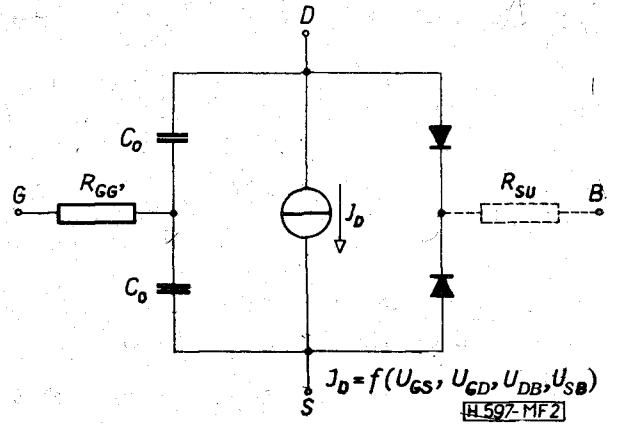
valamint az

$$U_{GD} = U_{GS} - U_{DS \max} \quad (2.12)$$

helyettesítésekkel vehetjük figyelembe, ha  $U_{DS} > U_{DS \max}$ .

A (2.4)–(2.12) egyenletekkel — mint látható — az eszköz csatornaáramának olyan kifejezését kaptuk meg, amely tekintetbe veszi a szubsztrátban tárolt töltéseknek a karakterisztikaegyenletre gyakorolt ismert hatását is [26], a küszöbfeszültség megfelelő mértékű módosításával.

A 2. ábrán látható MOS modell [27] a csatornaáramot reprezentáló áramgenerátoron kívül tartalmazza még az állandónak tekintett gate-kapacitá-



2. ábra. TRANZ-TRAN MOS tranzisztormodell

sokat és gate-ellenállást, valamint a szubsztrát-source, szubsztrát-drain diódákat és ezek feszültségfüggő kapacitáseit. Ezek a diódák a MOS tranzisztor normális működése záró irányban vannak előfeszítve. Így a modell tekintetbe veszi a szubsztrát-diódák letörési jelenségeit, azonban elhanyagolja a gate-csatorna, továbbá source-drain letörést. A modell tartalmazhat még a szubsztrát felé egy soros ellenállást is. Ha ez utóbbi  $R_{SU}$  ellenállást nem tekintjük, a modell alkalmazása minden MOS tranzisztor esetén 1 plusz csomópontot és 6 plusz ágat jelent az áramköranalízis program számára. A modell biztosítja a teljes drain-source szimmetriát. Áramgenerátorának forrásárama a négy szimmetrikus kapocsfeszültségtől ( $U_{GS}$ ,  $U_{GD}$ ,  $U_{SB}$ ,  $U_{DB}$ ) függ.

A hőmérsékletfüggés számításba vételére szolgáló összefüggések:

$$I_0(T) = I_0(T_0) \cdot [1 + \alpha_I(T - T_0)], \quad (2.13)$$

$$V_T^*(T) = V_T^*(T_0) \cdot [1 + \alpha_T(T - T_0)]. \quad (2.14)$$

A modell alkalmazásához a MOS tranzisztor bizonyos adatain kívül szükség van még a parazita diódák paramereinek megadására is (ez utóbbiak megegyeznek a TRANZ-TRAN programban egyébként is meglévő félvezető dióda-modell által kért adatokkal).

A MOS-modellhez megadandó paramétereket a 3. ábrán mutatjuk be.

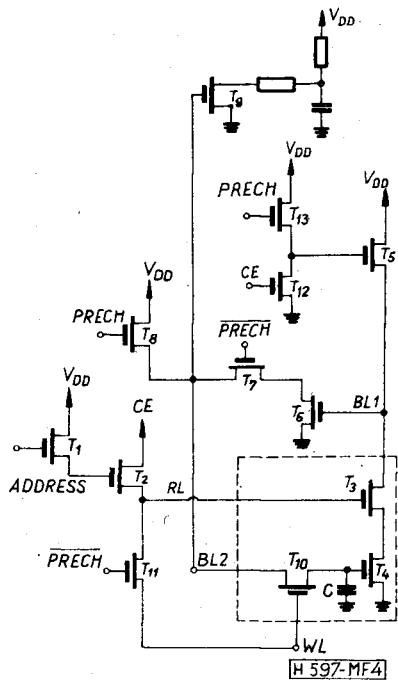
A modell alkalmazására példaképpen bemutatjuk a SIGNETICS 1103 Si-gate MOS/LSI RAM vizsgálatát. A közös áramköri részletekkel kiegészített elemi tárolócellát a 4. ábrán láthatjuk [28].

$R_S$	$J_S$	$m \cdot U_T$	$J_z$	$U_L$	$n$
$\tau$	$C_T$	$R_{th}$	$C_{th}$	$T_{max}$	$U_g$
$W_F$	$V_{TK}$	-	$C_0$	-	$m \cdot U_T$
$J_0$	$\alpha_I$	$V_{T0}$	$\alpha_U$	$R_{SU}$	1,0
1,0	$R_{GG'}$	$U_g$	-	-	0,0

Parazita diódák adatai

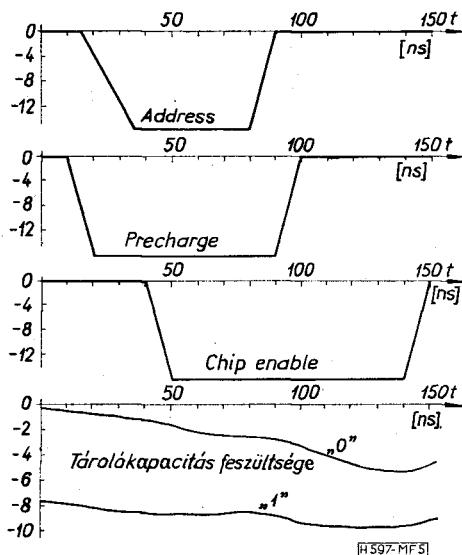
[H.597-MF3]

3. ábra. TRANZ-TRAN MOS tranzisztormodell katalógusadatai



4. ábra. SIGNETICS 1103 MOS RAM egyszerűsített rajza

A 13 MOS tranzisztort tartalmazó áramkör tranziens analízisekor az egyes vonalak (WL, RL stb.) parazita kapacitásait konstans értékű — a 4. ábrán az egyszerűség kedvéért nem feltüntetett — kapacitásokkal figyelembe vettük. A 84 ágat és 30 csomópontot tartalmazó áramkör egy tranziens időpillanatra vonatkozó analízise a KFKI ICT 1905 gépén átlagosan 30 s időt igényelt. Az eredmények szemléltetési céljából az 5. ábrán feltüntettük az ADDRESS, CHIP ENABLE, PRECHARGE vezérlőjeleket, valamint a cella tárolókapacitásán levő feszültség időbeli változását a cella logikai 0 és 1 állapotában. Az ábra alapján meggyőződhetünk a tárolócella visszairrási folyamatának megfelelő lefolyásáról.



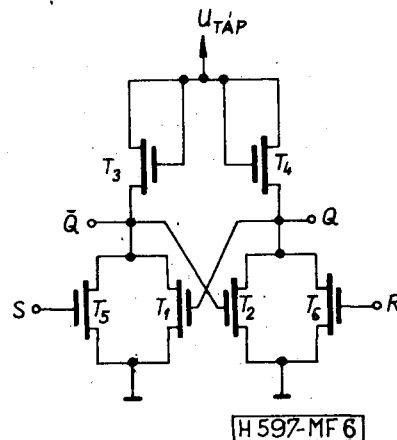
5. ábra. SIGNETICS 1103 MOS RAM tranziens analízisének eredményei

### 3. TRANZ-TRAN R-S flip-flop funkcionális modell és alkalmazása

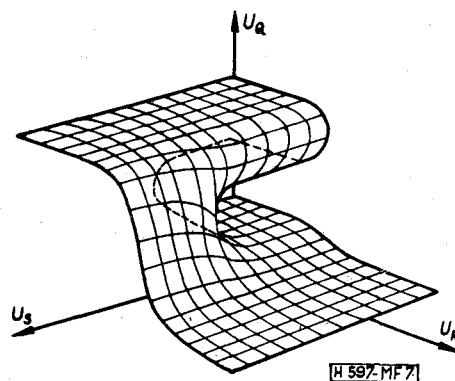
Tekintsük a 6. ábrán látható R-S flip-flop kapcsolást!

A kapcsolás egyenáramú működését a 7. ábrán követhetjük végig. Ennek a térbeli transzfer karakterisztikának a végigszámolását az analízisprogrammal természetesen úgy végeztük, hogy minden tranzistor helyébe az előző pontban ismertetett modell került.

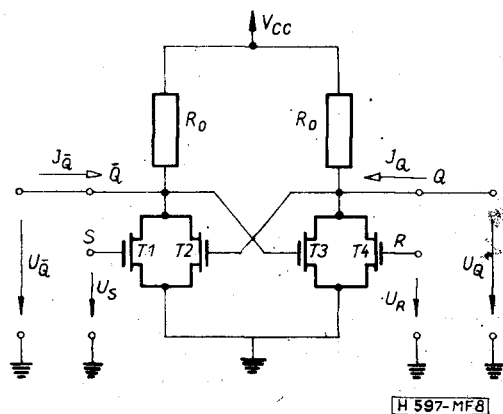
Sok gyakorlati esetben azonban elsősorban nem is a flip-flop, hanem az általunk tervezett illeszkedő áramkörök működése érdekel. Kézenfekvő, hogy ekkor a flip-flop fenti gépidő- és memóriaigény-



6. ábra. MOS R-S flip-flop



7. ábra. MOS R-S flip-flop egyenáramú transzfer felülete



8. ábra. Egyszerűsített MOS R-S flip-flop

rabló leírása helyett próbálunk olyan helyettesítő kapcsolást — funkcionális modellt — konstruálni, amely a működést belül akár csak logikai szinten tükrözi, de áramkörileg sokkal egyszerűbb.

Tekintsük a 8. ábrán látható egyszerűsített R-S flip-flop kapcsolást — ahol a csak terhelés funkciót ellátó MOS tranzisztorokat konstans értékű ellenállásokkal helyettesítettük. Az áramkörnek két bemenete ( $U_R$  és  $U_S$ ), valamint két kimenete ( $U_Q$  és  $U_{\bar{Q}}$ ) van. Megfigyelhetjük, hogy a kimeneti pontok árama ( $I_Q$  és  $I_{\bar{Q}}$ ) az állandónak tekinthető tápfeszültségen kívül mindig csak három kapcsoltszóltségtól függ. Ennek alapján könnyen rajzolhatunk helyettesítő képet az R-S áramkörrel (9. ábra). A modell alapegyenleteit a két áramgenerátorra vonatkozó (3.1) és (3.2) egyenletek adják, amelyeket még kiegészítjük a tranziens viselkedést leíró kondenzátorok áramegyenleteivel is [29]:

$$I_{G_1} = f(U_G, U_{\bar{Q}}, U_Q), \quad (3.1)$$

$$I_{G_2} = f(U_S, U_Q, U_{\bar{Q}}), \quad (3.2)$$

$$I_Q = I_{G_1} + C_2 \cdot \frac{dU_Q}{dt}, \quad (3.3)$$

$$I_{\bar{Q}} = I_{G_2} + C_2 \cdot \frac{dU_{\bar{Q}}}{dt}, \quad (3.4)$$

$$I_R = C_1 \cdot \frac{dU_R}{dt}, \quad (3.5)$$

$$I_S = C_1 \cdot \frac{dU_S}{dt}. \quad (3.6)$$

A fenti R-S funkcionális modellt nem igényel többlet csomópontot, csupán 6 többlet ágat (az eredeti áramkör 6 többlet csomópontot és 36 többlet ágat jelentett).

A következőkben megmutatjuk a 9. ábra áramgenerátorai forrásáramának és  $C_1, C_2$  kapacitásértékeinek meghatározását.

Az áramkör szimmetriája következtében elegendő a 10. ábrán látható fél flip-flopot, NOR-kaput vizsgálni (DC felületét a 11. ábrán láthatjuk).

A 10. ábrán \*-gal jelölt csomóponttra vonatkozó Kirchhoff-egyenlet,

$$I_{ki} = I_{T_1} + I_{T_2} - I_R \quad (3.7)$$

adja az  $I_{Q1} = I_{ki}$  áramgenerátor-forrásáramot. Az előző rész (2.4)–(2.12) egyenletei alapján a (3.7) egyenletben szereplő további áramok így írhatók fel:

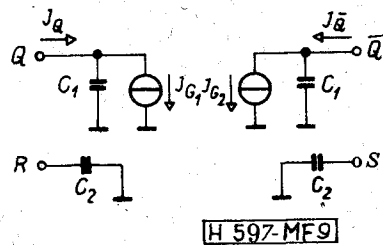
$$I_{T_1} = F(U_1) - F(U_1 - U_{ki}), \quad (3.8)$$

$$I_{T_2} = F(U_2) - F(U_2 - U_{ki}), \quad (3.9)$$

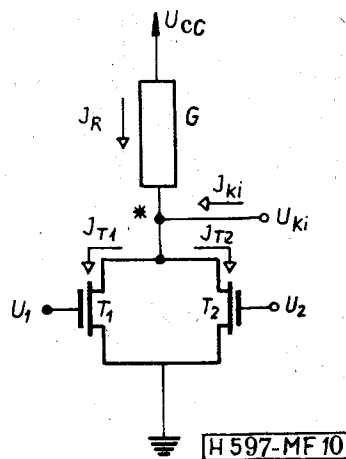
$$I_R = G \cdot (V_{CC} - U_{ki}). \quad (3.10)$$

A fenti egyenletekkel a (3.1) és (3.2) képletekben szereplő függvények kifejezését meg is adtuk.

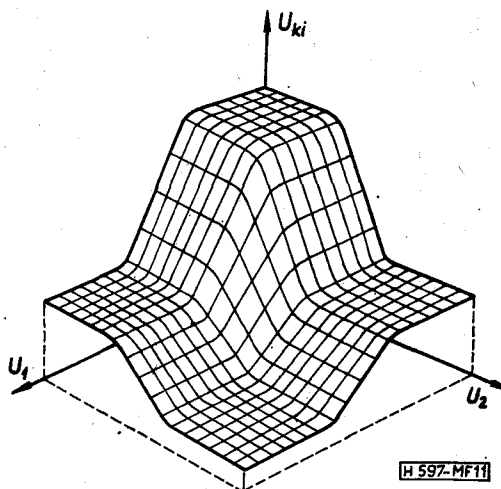
A 9. ábrán  $C_1$ -gyel és  $C_2$ -vel jelölt kapacitásokba beleértjük az eredeti áramkör bemeneti pontjairól a föld felé az áramkörben található kapacitások eredőjét. Tekintsük a 12. ábrát. Ezen a flip-flop MOS tranzisztorainak kapacitáshálózatát tüntettük fel (a 2. ábra modellje alapján).  $C_0$ -lal jelöltük a gate kapacitásokat és  $C_T$ -vel a szubsztrátdiódák tértöltéskapacitásait (célszerűen azok maximumait



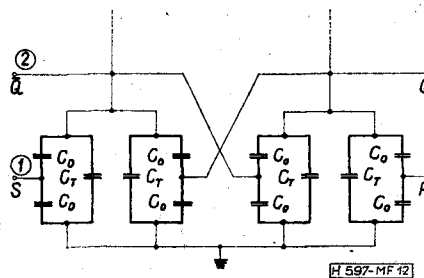
9. ábra. MOS R-S flip-flop funkcionális modell



10. ábra. Egyszerűsített MOS NOR-kapu



11. ábra. MOS NOR-kapu egyenáramú transzfer felülete



12. ábra. MOS R-S flip-flop kapacitáshálózata

kell itt figyelembe venni), de eltekintettünk a gate-és szubsztrát soros ellenállásoktól. Figyelembe vettük továbbá, és ez egyszerűsíti a dolgot, hogy valamennyi tranzisztor source-a és szubsztrátja is földpotenciálón van. Ez az alsó, source-szubsztrát parazita diódák söntölését jelenti, így az azok által képviselt tértöltéskapacitásokat elhagytuk.

A hálózat eredő kapacitása az ① pont felől  $C_2$ -t, ② felől  $C_1$ -et adja. Elemi átalakítások után:

$$C_1 = C_0 + \frac{C_0 \cdot (2C_T + C_0 + C_K)}{2(C_0 + C_T) + C_K}, \quad (3.11)$$

$$C_2 = 2C_T + \frac{3}{2}C_0 + C_K, \quad (3.12)$$

ahol

$$C_K = \frac{2C_0 \left( 2C_T + \frac{3}{2}C_0 \right)}{2C_T + \frac{7}{2}C_0}. \quad (3.13)$$

A modell alkalmazásához szükséges adatokat a 13. ábrán mutatjuk be.

Az *R-S* funkcionális modellt egy *J-K* master-slave flip-flop tranziens analízise kapcsán próbáltuk ki a KFKI ICT 1905 gépen. A 14. ábrán látható hálózat eredetileg 29 csomópontot és 79 ágát tartalmazott. Ez az *R-S* funkcionális modell alkalmazása következtében 14 csomóponttra és 46 ágra redukálódott, és a teljes hálózat egy tranziens időpillanatra vonatkozó analízisideje harmadára, kb. 12 s-ra csökkent. Megjegyzendő, hogy ennél összetettebb áramkörök esetén még jobb arány érhető el: végeredményben kb. 5-ös faktoriala számolhatunk mind az idő-, mind a memóriaigény csökkenésében.

A 15. ábrán négy óraperiódus tranziens analízisét követhetjük végig, és meggyőződhetünk az áramkör vezérlési tábla szerinti helyes működéséről.

#### 4. Továbbfejlesztési lehetőségek

##### a) MOS tranzisztor modell területén:

Lehetőleg van a modell kibővítésére további másodlagos hatások figyelembevételével, mozgékonyág téreőrűggése, gate-kapacitások változó értékű megadása, csatornarövidülés stb. Ezek közül a modell továbbfejlesztése során megvalósítás alatt van a telítési tartományban a csatornarövidülés számításba vétele.

##### b) Funkcionális modellezés területén:

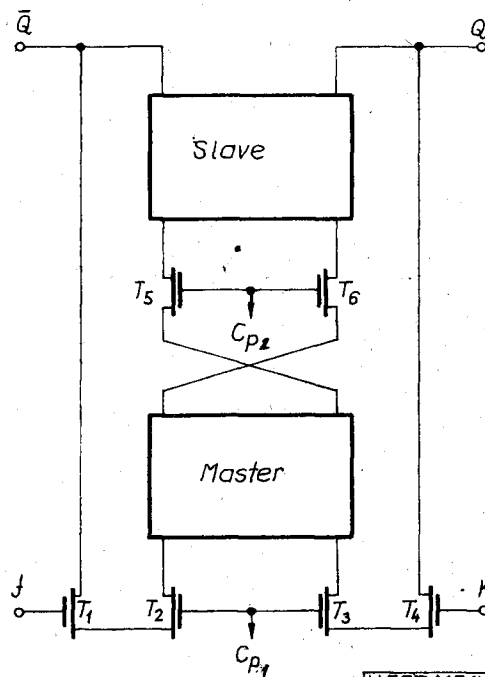
Az itt bemutatott módszer alapján lehetőség van további MOS/LSI alkatelemek funkcionális modellezésére is.

Az LSI áramkörök számítógépes analízisének felmerülő méretproblémák megoldását a funkcionális makromodellezés mellett olyan áramköranalízis-programok kifejlesztésében is keresni kell, amelyek részben Boole-függvényekkel, részben fizikai áramkörleírással megadott hálózatok szimultán analízisére képesek. Az ilyen analízisnél illesztünk kell a logikai, illetve fizikai szinten leírt hálózatrészeket. Ennek megoldásában támaszkodni tudunk majd a funkcionális modellekre, mint közbenső lépésekre.

$V_{CC}$	$G$	$C_1$	$C_2$
$V_{T0}$	$V_{TK}$	$W_F$	$J_0$

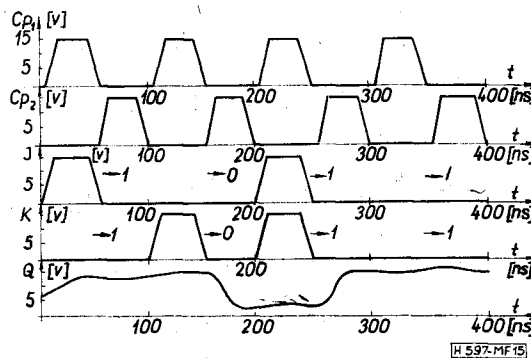
[H 597-MF 13]

13. ábra. MOS *R-S* flip-flop funkcionális modell katalógusadatai



[H 597-MF 14]

14. ábra. MOS *J-K* master-slave flip-flop egyszerűsített rajza



[H 597-MF 15]

15. ábra. MOS *J-K* master-slave flip-flop tranziens hullámformái

#### Köszönetnyilvánítás

A szerző ezúton is hálás köszönetét fejezi ki dr. Tarnay Kálmán docensnek, a BME Elektronikus Eszközök Tanszék vezetőjének és dr. Székely Vladimír adjunktusnak, munkájához nyújtott segítségükért és értékes támogatásukért.

#### IRODALOM

- [1] Dr. Tarnay K.—dr. Székely V.: A TRANZ-TRAN nemlineáris áramköranalízis program. *Híradástechnika*, 24, 257 (1973).

- [2] *Dr. Tarnay K.—dr. Székely V.*: Integrált áramkörök számítógépes vizsgálata áramköranalízis program segítségével. Előadás a BME Villamosmérnöki Kara 25 éves évfordulója alkalmából rendezett tudományos ülésszakon (1974. okt. 15—17.), valamint Mérés és Automatika, 22, 314 (1974).
- [3] *Dr. Tarnay K.—dr. Székely V.*: TRANZ-TRAN nemlineáris áramköranalízis program. ICT FORTRAN változat, használati utasítás. Budapest, 1973. aug.
- [4] *Heiman, S. R.—Hofstein, F. P.*: The Silicon Insulated Gate Field Effect Transistor. Proceedings of the IEEE, 51, 1190 (1963).
- [5] *Ihantola, H. K. J.—Moll, J. L.*: Design Theory of a Surface Field-Effect Transistor. Solid-State Electronics 7, 423 (1964).
- [6] *Sah, C. T.*: Characteristics of the Metal-Oxide-Semiconductor Transistors. IEEE Transactions on Electron Devices, ED—11, 324 (1964).
- [7] *Meyer, J. E.*: MOS Models and Circuit Simulation. RCA Review, 32, 42 (1971).
- [8] *Merckel, G.—Borel, J.—Cupcea, N. Z.*: An Accurate Large-Signal MOS Transistor Model for Use in Computer-Aided Design. IEEE Transactions on Electron Devices, ED—19, 681 (1972).
- [9] *Jenkins, F. S.—Lane, E. R.—Lattin, W. W.—Richardson, W. S.*: MOS-Device Modeling for Computer Implementation. IEEE Transactions on Circuit Theory, CT—20, 649 (1973).
- [10] *Van Overstraeten, R. J.—Declercq, G. J.—Muls, P. A.*: Theory of the MOS Transistor in Weak Inversion — New Method to Determine the Number of Surface States. IEEE Transactions on Electron Devices, ED—20, 1150 (1973).
- [11] *Masuhara, T.—Etoh, J.—Nagata, M.*: A Precise MOSFET Model for Low-Voltage Circuits. IEEE Transactions on Electron Devices, ED—21, 363 (1974).
- [12] *Van Overstraeten, R. J.—Declercq, G. J.—Broux, G. L.*: Inadequacy of the Classical Theory of the MOS Transistor Operating in Weak Inversion. IEEE Transactions on Electron Devices, ED—22, 282 (1975).
- [13] *Rossel, P.—Martinot, H.—Vassilieff, G.*: Accurate Two-Sections Model for MOS Transistors in Saturation. Solid-State Electronics, 19, 51 (1976).
- [14] *Compeers, J.—Man, H. J.—Sausen, W. M. C.*: A Process and Layout-Oriented Short-Channel MOST Model for Circuit Analysis Programs. IEEE Transactions on Electron Devices, ED—24, 739 (1977).
- [15] *Young, T. K.—Dutton, R. W.*: MINI-MSINC — A Mini-computer Simulator for MOS Circuits with Modular Built-in Model. Technical Report No. 5013—1, Stanford Electronics Laboratories, California, March 1976.
- [16] *Rabbat, N. B.—Ryan, W. D.—Hossain, S. Q. A. M. A.*: A Computer Modeling Approach for LSI Digital Structures. IEEE Transactions on Electron Devices, ED—22, 523 (1975).
- [17] *Card, H. C.—Elmasry, M. I.*: Functional Modeling of Non-Volatile MOS Memory Devices. Solid-State Electronics, 19, 863 (1976).
- [18] *Tarnay, K.*: Charge Equations of Field-Effect Transistors. Electronics Letters, 3, 38 (1967).
- [19] *Tarnay, K.*: Transient Response of MOS Transistors. Electronics Letters, 3, 155 (1967).
- [20] *Dr. Tarnay K.*: MIS tranzisztorok alkalmazása integrált áramkörökben. Híradástechnika, 19, 269 (1968).
- [21] *Tarnay, K.*: Chalmers' MOS-kurs. Göteborg, előadás (1970).
- [22] *Tarnay, K.—Nagy, A.*: Physikalische und Schaltungstechnische MOS-Transistoren-Modelle für elektronische Rechenmaschinen. Ilmenau, „Festkörper-Bauelemente“, Vortragsreihe, pp. 89—91. (1975).
- [23] *Tarnay K.—Masszi F.—Székely V.*: MIS eszközök modellezése, az áramkörtervezés alapjai. Eötvös Loránd Fizikai Társulat MIS-iskola, 1977. nov. 9—11., Mátrafüred, előadás és kiadvány.
- [24] *Schrieffer, J. R.*: Effective Carrier-Mobility in Surface-Space Charge Layers. Phys. Rev., 97, 641 (1955).
- [25] *Carr, W. N.—Mize, J. P.*: MOS/LSI Design and Application. TEXAS Instruments Electronics Series, McGraw-Hill, New York (1972).
- [26] *Van Nielen, J. A.—Memelink, O. W.*: The Influence on the Substrate upon the Characteristics of Silicon MOS Transistors. Philips Research Reports, 22, 55 (1967).
- [27] *Masszi F.*: MOS dinamikus léptetőregiszter számítógépi modellezése. Diplomaterv, 1976.
- [28] *Dr. Kovács F.*: (HIKI) engedélyével.
- [29] *Masszi F.*: Félvezető memóriaelemek modellezése. Egyetemi doktori értekezés, 1977.