

BARANYAI ATTILA
Híradástechnikai Ipari Kutató Intézet

MOS logikai rendszerek statikus és dinamikus tulajdonságai

ETO-621.315.592.4 : 621.382.3 : 681.325.65

A MOS logikai rendszerek tervezése során nagy fontossága van az áramkör statikus és dinamikus tulajdonságai előzetes meghatározásának, egyrészt a rendszer kompatibilitásának, másrészt a kívánt működési sebességének biztosítása szempontjából. A cikkben a MOS tranzisztor karakterisztikáiból és dinamikus működését leíró alapegyenletekből kiindulva megvizsgáljuk a MOS logikai rendszerek főbb kapcsolási paramétereit.

1. A MOS logikai rendszerek statikus tulajdonságainak meghatározása

A MOS tranzisztorokból felépített logikai rendszerek statikus tulajdonságainak meghatározása

- a bemenet logikai szintjeinek,
- a kimenet logikai szintjeinek,
- a bemenet által képviselt terhelésnek,
- a kimenet terhelhetőségének

méretezéséhez szükséges.

Vizsgálataink során a MOS tranzisztorokra, és az ezekből felépített invertekre érvényes összefüggéseket határozzuk meg, mely ismeretek alapján viszonylag könnyen levezethetők egyéb logikai rendszerek egyenletei is.

A p-csatornájú növekményes módú MOS tranzisztorok karakterisztikáját (1. ábra) vizsgálva megállapíthatjuk, hogy ez két egymástól lényegesen eltérő jellegű tartományra osztható.

Az első tartományra, amelyre a $V_D \leq V_{Geff}$ egyenlőség érvényes, V_D feszültség változásával közel lineárisan változik az I_D áram is V_{Geff} állandó értéken való tartása mellett. Ezt a szakaszt lineáris tartománynak szokás nevezni. Ihantola japán kutató elméleti vizsgálatai szerint a lineáris tartományra

érvényes matematikai összefüggés alakja a következő:

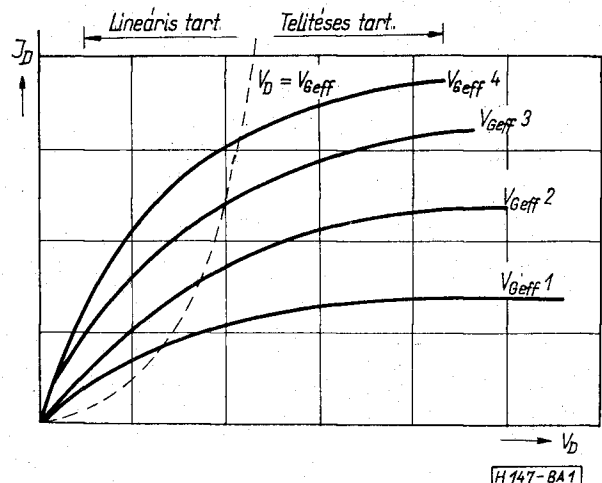
$$I_D = \beta V_D \left(V_{Geff} - \frac{1}{2} V_D - \frac{2}{3} \Phi \sqrt{V_D} \right)$$

$$V_{Geff} = V_D - V_T \quad (1)$$

ahol:

- I_D = a drain áram
- V_D = a drain-source feszültség
- V_G = a tényleges gate feszültség
- V_{Geff} = a hatásos gate feszültség
- β = az erősítési tényező
- Φ = a görbütségi tényező
- V_T = a kapcsolási küszöbfeszültség

Az (1) egyenlet zárójelében szereplő harmadik tagot csak az átváltási pont közvetlen környezetében kell figyelembe venni, hogy a feszültség megnövekedéséből adódó fizikai effektusok linearitásvontó hatását is figyelembe vehessük.



1. ábra. Tipikus p-csatornás, növekményes módú MOS tranzisztor karakterisztikája

A lineáris tartományban, a kimenő ellenállás értékét meghatározó összefüggést az (1) összefüggés differenciálásával nyerjük.

$$R_{DS} = \frac{1}{\beta(V_{beff} - V_D)} \quad (2)$$

A második tartományban, amelyre a $V_D \cong V_{Geff}$ egyenlőtlenség érvényes, a V_D feszültség változtatásával csak nagyon kis mértékben változik az I_D áram, V_{Geff} állandó értéken való tartása mellett. Ezt a szakaszt telítési tartománynak szokás nevezni, amely tartományra az elméleti megfontosokból levezetett matematikai összefüggés a következő:

$$I_D = \frac{\beta V_{Geff}^2}{2} \quad (3)$$

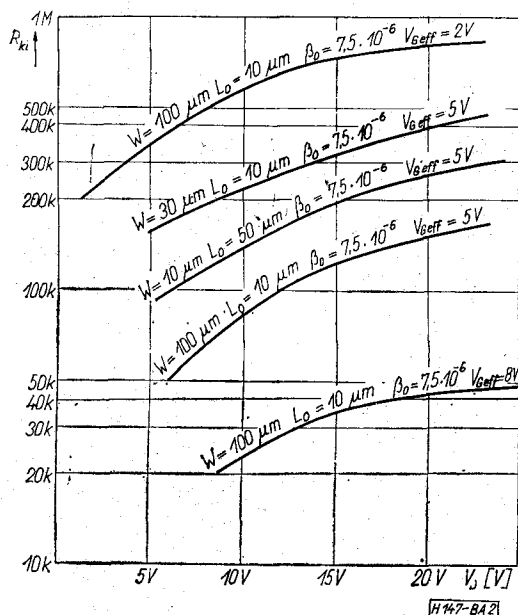
Ez az összefüggés a tapasztalati tényekkel csak abban az esetben mutat jó egyezést, ha β tényező értékét a következő empirikus összefüggések alapján határozzuk meg:

$$R_D = \frac{8(1 + 0,3V_{Geff})(L_0 + 0,5\sqrt{V_D - V_{Geff} + 0,7})^2\sqrt{V_D - V_{Geff} + 0,7}}{\beta_0 \cdot W V_{Geff}^2} \quad (6)$$

A 2. ábrán néhány tipikus telítési üzemmódban dolgozó MOS tranzisztor feszültség-kimenőellenállás diagramja látható.

A MOS tranzisztorokból felépített inverterek közül a 3a ábrán látható ohmikus munkaellenállású rendszerek a legegyszerűbbek. Általában az integrált áramköri rendszerek kimeneti fokozatában alkalmazzák (az ún. fan-out növelésre) oly módon, hogy a munkaellenállás a tokon kívül kerül felszerelésre. Az ohmikus munkaellenállású MOS inverterek munkapontjainak grafikus meghatározása a 3b ábrán látható. Erre a kapcsolásra a munkaegyenes teljesen lineáris jellege jellemző.

A matematikai összefüggések levezetésekor kiindulásként az (1) összefüggést használhatjuk, mivel



2. ábra. Telítési üzemmódban működő MOS tranzisztorok kimenő ellenállás-feszültség diagramja

zük meg:

$$\beta = \frac{\beta_0}{1 + 0,03 V_{Geff}} \cdot \frac{W}{L} \quad (4)$$

$$L = L_0 - \frac{\sqrt{V_D - V_{Geff}}}{2} \quad (5)$$

ahol:

- β_0 = V_{Geff} 0 V-nál mért erősítési tényező
- W = a csatorna szélessége μm -ben
- L_0 = a csatorna névleges hossza μm -ben
- L = a csatorna hatásos hossza μm -ben

A telítési tartományban érvényes kimenő ellenállás értékét meghatározó összefüggést úgy nyerjük, hogy a (3) képletbe a (4) és (5) összefüggést behelyettesítjük, és az így nyert függvényt differenciáljuk. A kapott összefüggést bizonyos tapasztalati konstansokkal kiegészítjük, s így a következő összefüggést nyerjük:

az átváltás ideje alatt a T_1 tranzisztor végig a lineáris tartományban dolgozik. A $V'_D = V_D - I_D R_0$ összefüggést az (1) egyenletbe behelyettesítve és I_D -t kifejezve a másodfokú tagot elhanyagolva az

$$I_D = \frac{V_D \beta \left(V_{Geff} - \frac{1}{2} V_D \right)}{1 + R_0 (\beta V_{Geff} - V_D)} \quad (7)$$

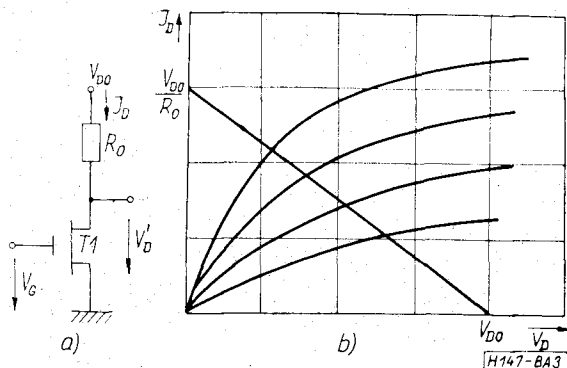
összefüggést kapjuk.

A V_G feszültség növelésével közel arányosan csökken V_D , így a telítési tartományból a lineáris szakaszba jutunk, amikor a (7) egyenlet nevezőjében levő 1 elhanyagolható és az

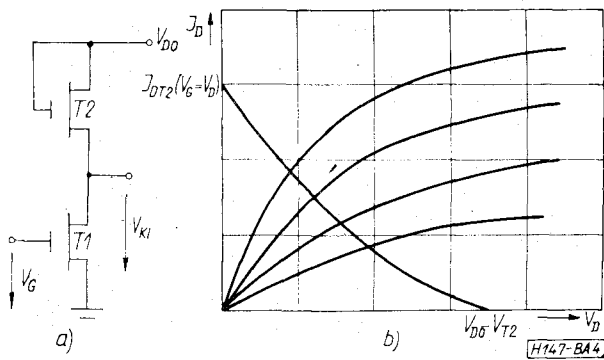
$$I_D = \frac{V_D}{R_0} \quad (8)$$

összefüggéshez jutunk.

A MOS logikai integrált áramköri egységeken belül szinte kizárólagosan az ún. tranzisztor-munkaellenállású invertereket alkalmazzák, hogy az ohmikus ellenállások integrált áramköri technológiával való előállítási nehézségeit kiküszöbölhessék.



3. ábra. Ohmikus munkaellenállású MOS inverter kapcsolása és munkapontjának grafikus meghatározása



4. ábra. Telítési tartományban működő tranzisztor-munkaellenállású inverter kapcsolási rajza és munkapontjának grafikus meghatározása

A 4a ábrán látható kapcsolásban működő inverten a közös gate-drain kapcsolású T_2 tranzisztor a működés folyamán végig a telítési tartományban működik, mivel a

$$V_D = V_G > V_G - V_T = V_{Geff} \quad (9)$$

egyenlőtlenség mindig teljesül.

A kimenet logikai 0-szintjét a T_1 és T_2 tranzisztor kimenő ellenállásának aránya határozza meg. A kimenő ellenállást befolyásoló tényezők közül V_T és β_0 nagysága nem változtatható, mivel ezek egy chipben kb. 10 %-on belül állandóak. Az egy chipben kialakítandó különböző β tényezőjű tranzisztorok előállítására azok eltérő L/W arányának biztosításával válik lehetővé.

A telítési tartományban működő tranzisztor-munkaellenállású kapcsolás munkapontjainak grafikus meghatározását a 4b ábra szemlélteti. Ebből kiderül, hogy a munkakegyenes elveszti lineáris jellegét T_2 tranzisztor feszültségfüggő kimenő ellenállása miatt.

A matematikai összefüggések levezetéséhez a

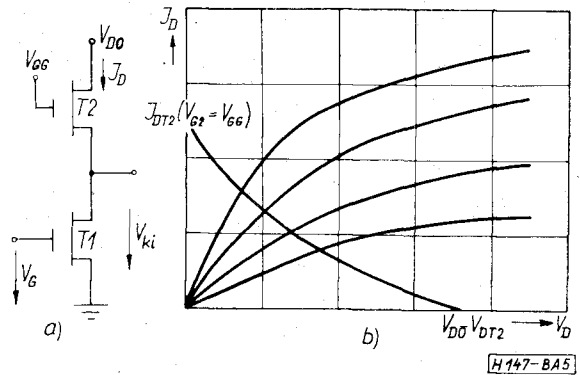
$$\begin{aligned} V'_D &= V_D - V_{KI} \\ V'_{Geff} &= V_D - V_T - V_{KI} \end{aligned} \quad (10)$$

kifejezéseket a (3), (4), (5) egyenletekbe behelyettesítjük, s így megkapjuk a telítési tartományban működő tranzisztor-inverter I_D áramának a többi áramkörü paramétertől való függését.

$$I_D = \frac{\beta_0 (V_D - V_T - V_{KI})^2}{(1 + 0,03 V_G) \cdot (V_D - V_T - V_{KI}) L} \quad (11)$$

Az 5a ábrán bemutatott inverter annyiban tér el az előbb tárgyalt kapcsolástól, hogy a T_2 tranzisztor gate-elektrodája magasabb V_{GG} feszültségre van kötve, mint a drain-je, így az végig a lineáris tartományban működik.

Az 5b ábrán bemutatott kapcsolás grafikus tervezésének módja csupán annyiban tér el az előzőtől, hogy a „munkaellenállás egyenesét” a lineáris tartományban dolgozó T_2 tranzisztor kimenő-ellenállás-feszültség függvénye képezi.



5. ábra. A lineáris tartományban működő tranzisztor-munkaellenállású inverter kapcsolási rajza és munkapontjának grafikus meghatározása

A matematikai összefüggések levezetéséhez a

$$\begin{aligned} V'_D &= V_D - V_{KI} \\ V'_{Geff} &= V_{GG} - V_T - V_{KI} \end{aligned} \quad (12)$$

összefüggéseket az (1) egyenletbe behelyettesítjük. Az így kapott összefüggés alakja:

$$I_D = \frac{\beta_0 \left[(V_{GG} - V_T)(V_D - V_{KI}) + \frac{V_{KI}^2}{2} - \frac{V_D^2}{2} \right] W}{(1 + 0,03 V_{GG})(V_{GG} - V_T - V_{KI}) L} \quad (13)$$

Az összefüggéseket analizálva megállapíthatjuk, a MOS tranzisztorokból felépített invertekre érvényes általános szabályokat:

a) A bemeneti logikai szintek nagyságát a V_T küszöbfeszültség és a kapcsoló tranzisztor g_m meredeksége határozza meg. V_T feszültség növekedésével nő a bemenő jel minimálisan megengedhető logikai 0-szintje (ez jó irányú változás), de nő a minimálisan szükséges logikai 1-szint is (ez rossz irányú változás).

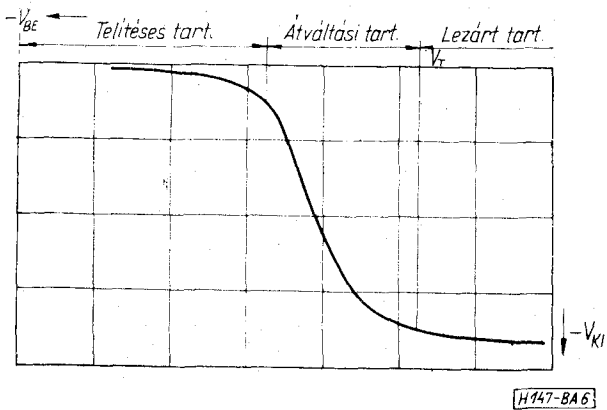
A meredekség növekedésével lecsökken az áramkör transzfer karakterisztikáján értelmezett átváltási tartomány szélessége, s így azonos V_T feszültség mellett csökken a bemenő jel minimálisan szükséges logikai 1-szintje.

b) A kimeneti jel logikai 0-szintjét a kapcsoló és a munkaellenállás-tranzisztor ellenállásának aránya határozza meg. A munkaellenállás-tranzisztor kimenő ellenállásának növekedésével lecsökken a logikai 0-szint és a disszipáció, viszont az áramkör később tárgyalandó tulajdonságai leromlanak.

A kimenő jel logikai 1-szintjét a kapcsoló tranzisztor lezárt állapotában mért visszaárama és a munkaellenállás-tranzisztor nagysága és küszöbfeszültsége határozza meg. Növekvő munkaellenállás és visszaáram a kimenő jel logikai 1-szintjének csökkenését eredményezi.

c) A bemenet terhelését a szigetelő réteg és az átütési effektust kiküszöbölő zener-dióda szívárgási árama, valamint az áramkörü és a szórt kapacitások képezik.

d) A kimenet terhelhetőségét a munkaellenállás, vagy a munkaellenállás, tranzisztor nagysága határozza meg. A munkaellenállás csökkenése a terhel-



6. ábra. MOS invererek transzfer karakterisztikája

hetőség növekedését eredményezi, de nő a disszipációs teljesítmény is.

A MOS invertereknek a 6. ábrán bemutatott transzfer karakterisztikáját vizsgálva megállapíthatjuk, hogy az átváltási tartomány szélessége lényegesen nagyobb ($\Delta U_{BE}=4V$) a bipoláris rendszerekben szokásos ($\Delta U_{BE}=100\text{ mV}$) értéknél.

Összetett logikai rendszerek tervezésénél gyakorlatilag csak az inverterekre érvényes összefüggéseket kell alkalmazni, mivel azokat zömmel inverterelemek különböző variációban való kötéséből alakítják ki.

2. A MOS logikai rendszerek dinamikus tulajdonságainak meghatározása

A MOS tranzisztorokból felépített logikai rendszerek dinamikus tulajdonságainak meghatározása az áramkörök várható sebességének méretezéséhez szükséges.

Az előző fejezethez hasonlóan csak a MOS tranzisztorokra és az egyszerű MOS inverterekre vonatkozó matematikai összefüggéseket ismertetjük, mert az összetett logikai rendszerek analízise ezek alapján elvégezhető.

A MOS tranzisztorok dinamikus tulajdonságait az átkapcsoláskor lezajló töltésvándorlásokhoz szükséges idők határozzák meg. Ebből kifolyólag ezt a kérdést az ún. töltés-konceptió alapján érdemes vizsgálni, a töltések hely és idő szerinti változását leíró differenciálegyenletek segítségével.

Mielőtt vizsgálatainkat elkezdjük, definiáljuk a térvezérléses tranzisztor kapcsolási időállandóját, mint az átkapcsoláshoz szükséges töltésmennyiség változás I_0 árammal végzett időtranszportját. Általában elmondható, hogy

$$T_0 T_0 = Q_{lezárt} - Q_{nyitott} \tag{14}$$

ahol:

- I_0 = a tranzisztor csatorna-oldali telítési árama,
- T_0 = a tranzisztor kapcsolási időállandója.

A tranziensek lefolyását egyrészt a vezérlőelektróda felőli meghajtó hálózat, másrészt a csatorna-oldali maximális áram határozza meg.

Ideális feszültségforrásból történő vezérlésnél a vezérlőelektróda áramát a vezérlőelektróda áram-

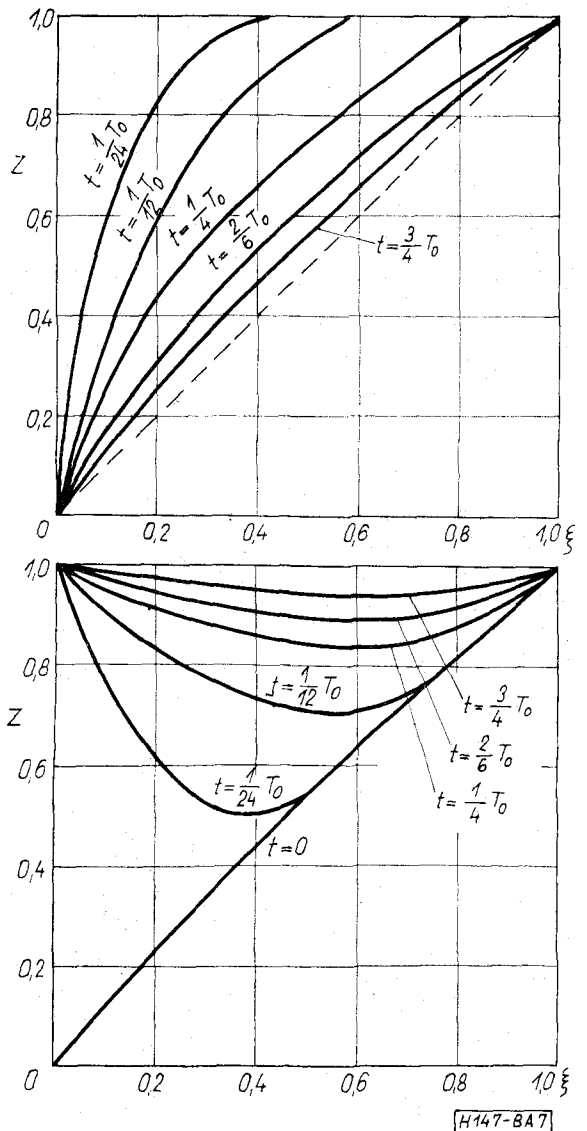
köre nem korlátozza, ezért az átkapcsolást a csatorna-oldal határozza meg. A vezérlőelektróda árama a kezdeti pillanatban rendkívül nagy és aszimptotikusan csökken nullára. A csatornában folyó áram-sűrűség a source-tól mért távolság függvényében változik. A tranziens lefolyását az eszköz belső struktúrája egyértelműen meghatározza.

Ebben az esetben a tranzisztor intrinsic tranzienseiről beszélünk. A feldúsított réteg hely és idő szerinti változását az eszköz numerikus módszerrel megoldható parciális differenciál egyenlete határozza meg, melynek megoldásai a 7. ábrán vannak felüntetve.

A diagramban szereplő:

- ξ = a csatorna source-tól mért relatív távolsága,
- Z = az inverziós réteg relatív mélysége,
- T_0 = a MOS tranzisztor időállandója.

Amennyiben a vezérlőelektróda áramköre a vezérlőelektróda áramát korlátozza extrinsic tranziensekről beszélünk. Ezekben az esetekben már komoly



7. ábra. A térvezérléses tranzisztor átmeneti folyamatát leíró parciális differenciálegyenlet megoldásainak diagramja

befolyást gyakorol a tranzisztor dinamikus viselkedésére

- a) a gate-kapacitás,
- b) a szórt kapacitások,
- c) a $p-n$ átmenetek feszültségfüggő kapacitása is,

mert nem mindegy, hogy a korlátozott töltőáramoknak mekkora kapacitások esetenkénti át-polarizálásáról kell gondoskodniuk.

A gate-kapacitást meghatározó összefüggés:

$$C_G = L \cdot W \epsilon_{ox} / t_{ox} \quad (15)$$

ahol:

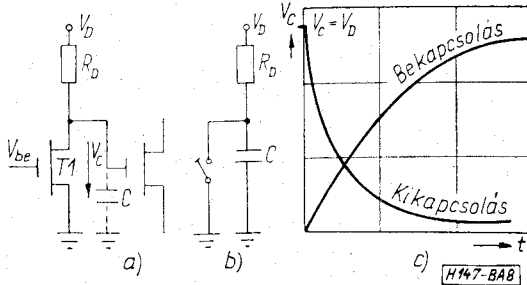
- C_G = a gate-substrate kapacitás,
- L = a csatorna hossza,
- W = a csatorna szélessége,
- ϵ_{ox} = a vékony-oxid dielektromos állandója,
- t_{ox} = a vékony-oxid vastagsága.

Az alumínium összeköttetések kapacitása az esetek többségében lényegesen kisebb a gate-kapacitásánál. Ezek nagyságát úgy számítjuk ki, hogy a (15) képletbe a vastag-oxid vastagságát helyettesítjük be.

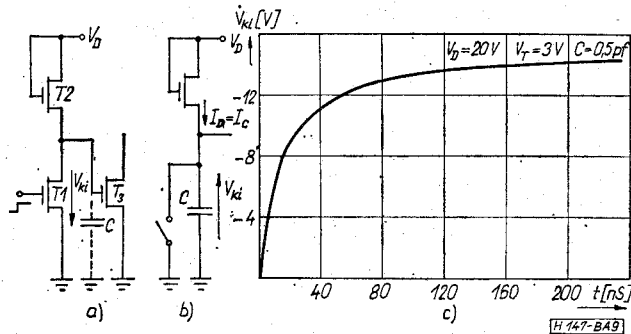
A drain és a source bevezetésekénél levő $p-n$ átmenet kapacitását a záróirányú diódák kapacitását meghatározó összefüggésekből nyerhetjük.

$$C_{p-n} = A \sqrt{\frac{q \epsilon N_D}{2(V_D + V)}} \quad (16)$$

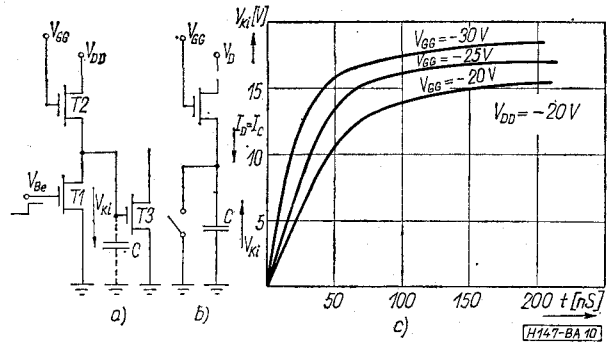
A MOS tranzisztorokból felépített inverterek vizsgálata során megállapíthatjuk, hogy a dinamikus tulajdonságaikat zömmel a külső hálózat (beleértve a gate-, szórt-, és a $p-n$ átmenetek kapacitását is) időállandói határozzák meg, mivel a MOS tranziszto-



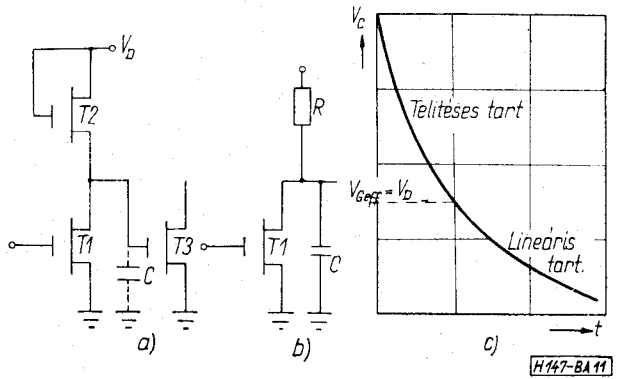
8. ábra. Ohmos munkaellenállású inverter dinamikus tulajdonságainak vizsgálata



9. ábra. Telítési tartományban működő munkaellenállást tartalmazó MOS inverterek dinamikus tulajdonságainak vizsgálata



10. ábra. Lineáris tartományban működő munkaellenállást tartalmazó MOS inverterek dinamikus tulajdonságainak vizsgálata



11. ábra. A MOS inverterek bekapcsolási folyamatainak vizsgálatát elősegítő helyettesítő ábra és diagram

rok felépítéséből adódó felső határfrekvencia több GHz-re adódik.

A 8. ábrán az ohmos munkaellenállás inverter kapcsolási rajza és dinamikus helyettesítő képe látható a kialakult hullámformák feltüntetésével együtt.

A V_C feszültség időfüggését megadó összefüggés:

$$V_C(t) = V_D \exp\left(-\frac{t}{R_D C}\right) \quad (17)$$

A (17) összefüggésből látható, hogy a munkaellenállás és a kapacitás csökkenése az áramkör gyorsabb működését eredményezi.

A 9. ábrán a telítési tartományban működő munkaellenállás-tranzisztor tartalmazó inverter dinamikus helyettesítő képe és hullámformái láthatók. A matematikai összefüggéseket az

$$I_D = \frac{\beta}{2} V_{Geff}^2$$

$$I_C = C \frac{dV}{dt} \quad (18)$$

$$V_{Geff} = V_D - V_T - V_C$$

egyenletekből nyerjük és az eredmény:

$$\frac{V_C(t)}{V_D} = \frac{[\beta t / C] V_D}{2 + [\beta t / C] V_D} \quad (19)$$

A 10. ábrán lineáris tartományban működő munkaellenállás-tranzisztort alkalmazó inverter dinamikus helyettesítő képe és hullámfokai láthatók.

A matematikai összefüggéseket az

$$I_{DS} = \beta \left(V_{Geff} \cdot V_D - \frac{V_D^2}{2} \right)$$

$$V_{Geff} = V_{GG} - V_T - V_C \quad (20)$$

$$V_{DS} = V_D - V_C$$

egyenletekből nyerjük és eredményül

$$\frac{V_C(t)}{V_D} = \frac{1 - \exp \left[-\frac{\beta t}{C} (V_{GG} - V_T - V_S) \right]}{1 + V_D \exp \left[-\frac{\beta t}{C} (V_{GG} - V_T - V_D) \right]} \quad (21)$$

$$V_D - 2V_T - 2V_{GG}$$

A 10. ábrán látható hullámformákat vizsgálva megállapítható, hogy a lineáris tartományban működő tranzisztor-munkaellenállású inverterek kapcsolási sebessége nagyobb a telítéssel üzemű invertereknél, ami egyrészt a lecsökkent munkaellenállással, másrészt a telítéssel tartományban fellépő töltéstárolási effektusok elmaradásával magyarázható.

Az eddigiek során főleg a munkaellenállás, illetve a munkaellenállás-tranzisztor hatásait vizsgáltuk és megállapítottuk, hogy azok főleg a kikapcsolás folyamán lezajló tranziensek jellegét befolyásolják.

A kapcsoló tranzisztor hatásait vizsgálva a következőkben ki fogjuk mutatni, hogy az főleg a bekapcsolási tranziensek jellegét határozza meg.

A MOS inverterek T_1 tranzisztorának bekapcsolási tranzienste két szakaszra oszlik. A bekapcsolás megkezdése előtt a 11a ábrán látható C kapacitás V_{CC} feszültségre van feltöltődve.

Az átmeneti folyamatok beindulásakor először a $V_G < V_{KI} = V_C$ egyenlőtlenség érvényes, így T_1 tranzisztor telítéssel üzemben kezdi C kisítését. A kapcsoló tranzisztor telítési tartományú kisítési idejét a

$$V_{KI} = V_{CO} - \frac{1}{C} \int_0^t I dt \quad (22)$$

$$I_C = \frac{\beta V_{Geff}^2}{2}$$

összefüggések segítségével határozhatjuk meg a véges munkaellenállás kisítési idejét növelő hatásának figyelembevételével. A kapott összefüggés alakja:

$$t_{sat} = \frac{CR \log_e (1 + 2V_{Geff} - V_D)}{\beta R V_{Geff}} \quad (23)$$

A bekapcsolás folyamán a V_G feszültség növekedése a V_{KI} feszültséget csökkenti, így a $V_G > V_D = V_C$

egyenlőtlenséggel jellemezhető lineáris tartományba jutunk. A T_1 tranzisztor lineáris tartománybeli kisítési idejének nagyságát a

$$-dV_C = \frac{I_D}{C} dt \quad (24)$$

egyenletből nyerjük

$$t_{lin} = \frac{-C}{\beta V_{Geff}} \log_e \frac{V_C}{2V_{Geff} - V_C} \quad (25)$$

A bekapcsolási tranzien lefolyásának jellege a 11b ábrán látható, és a bekapcsolási idejt leíró matematikai összefüggés:

$$t_{be} = \frac{C}{\beta V_{Geff}} \left(\frac{2V_{Geff} - V_{CO}}{V_{Geff}} - 2,95 \right) \quad (26)$$

Összetett logikai rendszereknél a dinamikus tulajdonságok meghatározásának igen egyszerű módja a táblázatok alapján történő tervezés.

Ezekben a táblázatokban fel van tüntetve az összes logikai alapáramkör-elem késleltetési faktora, aminek alapján viszonylag könnyen meghatározható a teljes logikai rendszer késleltetése.

A késleltetési faktor — az esetek többségében 2 pF-os terhelő kapacitás és 25 °C-os környezeti hőmérséklet mellett mérhető késleltetési idő, mely értékekből a valóságos késleltetési idő a következő összefüggés alapján számítható:

$$t_v = \frac{t_i}{2pF} C \cdot F_T \quad (27)$$

ahol:

- t_v = a számított késleltetési idő,
- t_i = a táblázatból nyert késleltetési faktor,
- C = az áramkört terhelő összes kapacitás,
- F_T = a hőmérsékleti faktor.

A (27) összefüggést vizsgálva megállapítható, hogy a terhelés és hőmérséklet növekedésével nő az illető elem késleltetési ideje is, tehát a tervezést célszerű extrém nagy környezeti hőmérsékletre és terhelésre elvégezni.

I R O D A L O M

- [1] William Penney: System development with MOS-LSI, American Micro-systems June 1968.
- [2] L. A. Taylor: Introduction to System Designing Using MOS-LSI, American Micro-systems December 1969.
- [3] How reliable are MOS IC's? Electronics Jun 1969.
- [4] G. Ireson: Reliability handbook. Mc Graw-Hill Book Company 1967.
- [5] MOS Integrated Circuits and their Applications, Philips Application Book 1970.
- [6] Baranyai A.: A kétfázisú MOS logikai integrált áramkörök elektromos tulajdonságainak vizsgálata. Automatizálás 1971. márc.